

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

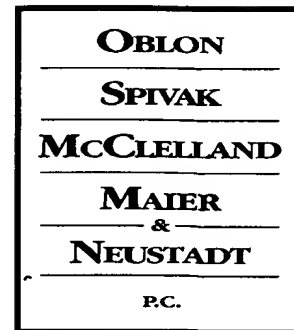


IFW

DA C

Docket No.: 215544US2

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313



ATTORNEYS AT LAW

GREGORY J. MAIER  
(703) 413-3000  
GMAIER@OBLON.COM

SURINDER SACHAR  
(703) 413-3000  
SSACHAR@OBLON.COM

KATHERINE D. PAULEY  
(703) 413-3000  
KPAULEY@OBLON.COM

RE: Application Serial No.: 09/986,004

Applicants: Takuji MATSUMOTO, et al.

Filing Date: November 7, 2001

For: SEMICONDUCTOR DEVICE AND METHOD OF  
MANUFACTURING THE SAME

Group Art Unit: 2826

Examiner: Sefer, Ahmed N

SIR:

Attached hereto for filing are the following papers:

**PETITION UNDER 37 C.F.R. § 1.181, COPIES OF PREVIOUSLY FILED INFORMATION  
DISCLOSURE STATEMENTS (INCLUDING DATE STAMPED FILING RECEIPT, IDS  
TRANSMITTAL AND PTO FORM 1449) DATED JANUARY 15, 2004 AND APRIL 19, 2004**

Our check in the amount of \$0.00 is attached covering any required fees. In the event any variance exists between the amount enclosed and the Patent Office charges for filing the above-noted documents, including any fees required under 37 C.F.R. 1.136 for any necessary Extension of Time to make the filing of the attached documents timely, please charge or credit the difference to our Deposit Account No. 15-0030. Further, if these papers are not considered timely filed, then a petition is hereby made under 37 C.F.R. 1.136 for the necessary extension of time. A duplicate copy of this sheet is enclosed.

Respectfully submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

Gregory J. Maier

Registration No. 25,599

Customer Number

**22850**

(703) 413-3000 (phone)

(703) 413-2220 (fax)

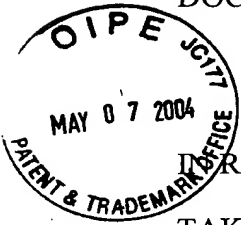
I:\ATTY\KDP\21\5\215544US\215544US PTO CVR LTR.DOC

Surinder Sachar

Registration No. 34,423

**Katherine D. Pauley**  
**Registration No. 50,607**

DOCKET NO: 215544US2



IN THE UNITED STATES PATENT & TRADEMARK OFFICE

DOORE APPLICATION OF :

TAKUJI MATSUMOTO, ET AL.

: EXAMINER: SEFER, AHMED N

SERIAL NO: 09/986,004 :

FILED: NOVEMBER 7, 2001

: GROUP ART UNIT: 2826

FOR: SEMICONDUCTOR DEVICE AND  
METHOD OF MANUFACTURING THE  
SAME

PETITION UNDER 37 C.F.R. § 1.181

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

Applicants herein petition the Commissioner to invoke his supervisory authority to require the examiner to consider the references cited in the Information Disclosure Statements filed on January 15, 2004 and April 19, 2004.

The Information Disclosure Statements in conformity with the requirements of 37 C.F.R. § 1.97-1.98 were filed on January 15, 2004 and April 19, 2004. Copies of both Information Disclosure Statements as previously filed are enclosed herewith. The above-referenced application has now been allowed. The references in the Information Disclosure Statements were never acknowledged or made of record by the examiner.

Although Applicants do not believe that any fee is required for the present petition,

Application No. 09/986,004  
Petition Under 37 C.F.R. § 1.181

any required fee should be charged the undersigned attorneys account no. 15-0030.

Respectfully submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



---

Gregory J. Maier  
Registration No. 25,599  
Surinder Sachar  
Registration No. 34,423  
Attorneys of Record

Customer Number

**22850**

Tel: (703) 413-3000  
Fax: (703) 413 -2220  
(OSMMN 08/03)

I:\ATTY\KDP\21'S\215544US\215544 1.181.DOC

**Katherine D. Pauley**  
**Registration No. 50,607**





*LW*  
OSMM&N File No. 215544US2  
Serial No. 09/986,004

Dept.: IP-1  
By: MJS/hc

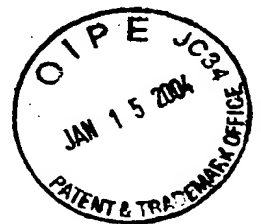
In the matter of the Application of: Takuji MATSUMOTO, et al.

For: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

Due Date: 01-26-04

The following has been received in the U.S. Patent Office on the date stamped hereon:

- Dep. Acct. Order Form
- Information Disclosure Statement
- Cited References (4)
- KOREAN Office Action
- PTO-1449



Docket No.

215344US2/hc

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takuji MATSUMOTO, et al.

SERIAL NO: 09/986,004

GAU: 2826

FILED: November 7, 2001

EXAMINER: AHMED N. SEFER

RCE FILED: September 23, 2003

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

INFORMATION DISCLOSURE STATEMENT UNDER 37 CFR 1.97

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

Applicant(s) wish to disclose the following information.

REFERENCES

- ☒ The applicant(s) wish to make of record the references cited in the attached Korean Office Action listed on the attached form PTO-1449. Copies of the listed references are attached, where required, as are either statements of relevancy or any readily available English translations of pertinent portions of any non-English language references.
- ☐ A check or credit card payment form is attached in the amount required under 37 CFR §1.17(p).

RELATED CASES

- ☐ Attached is a list of applicant's pending application(s) or issued patent(s) which may be related to the present application. A copy of the patent(s), together with a copy of the claims and drawings of the pending application(s) is attached along with PTO 1449.
- ☐ A check or credit card payment form is attached in the amount required under 37 CFR §1.17(p).

CERTIFICATION

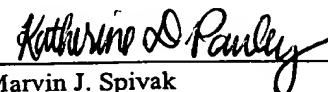
- ☐ Each item of information contained in this information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this statement.
- ☐ No item of information contained in this information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application or, to the knowledge of the undersigned, having made reasonable inquiry, was known to any individual designated in 37 CFR §1.56(c) more than three months prior to the filing of this statement.

DEPOSIT ACCOUNT

- ☒ Please charge any additional fees for the papers being filed herewith and for which no check or credit card payment is enclosed herewith, or credit any overpayment to deposit account number 15-0030. A duplicate copy of this sheet is enclosed.

Respectfully submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

Katherine D. Pauley  
Registration No. 50,607

Form PTO 1449 (Modified)		U.S. DEPARTMENT OF COMMERCE PATENT AND TRADEMARK OFFICE		ATTY DOCKET NO. 215544US2		SERIAL NO. 09/986,004	
LIST OF REFERENCES CITED BY APPLICANT				APPLICANT Takuji MATSUMOTO, et al.			
FILING DATE November 7, 2001 RCE Filed: September 23, 2003				GROUP 2826			

U.S. PATENT DOCUMENTS							
EXAMINER INITIAL	DOCUMENT NUMBER	DATE	NAME	CLASS	SUB CLASS	FILING DATE IF APPROPRIATE	
	AA						
	AB						
	AC						
	AD						
	AE						
	AF						
	AG						
	AH						
	AI						
	AJ						
	AK						
	AL						
	AM						
	AN						

FOREIGN PATENT DOCUMENTS					
DOCUMENT NUMBER	DATE	COUNTRY	TRANSLATION		
			YES	NO	
AO 2000-48319	07/25/2000	KOREA (corr. JP 2000-243973, copy filed on November 7, 2001)		X	
AP 2000-47907	07/25/2000	KOREA (with corr. JP 2000-174283)		X	
AQ 2000-174283	06/23/2000	JAPAN (with English Abstract)		X	
AR 1999-76552	10/15/1999	KOREA (corr. JP 11-340472, copy filed on February 3, 2003)		X	
AS					
AT					
AU					
AV					

OTHER REFERENCES (Including Author, Title, Date, Pertinent Pages, etc.)	
AW	
AX	
AY	
AZ	

☐ Additional References sheet(s) attached

Examiner \_\_\_\_\_ Date Considered \_\_\_\_\_

\*Examiner: Initial if reference is considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

FILED BY IDS  
26922 01-15-04

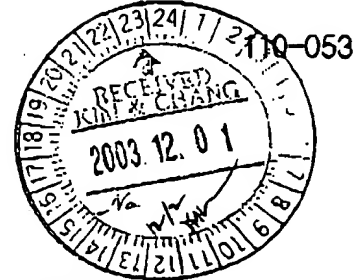
출력 일자: 2003/12/1

발송번호 : 9-5-2003-047239217

발송일자 : 2003.11.28

제출기일 : 2004.01.28

수신 : 서울 종로구 내자동 219 한누리빌딩(김&  
장 특허법률사무소)  
장수길 귀하



## 특허청 의견제출통지서

**출원인** 영칭 미쓰비시덴키 가부시기가이샤 (출원인코드: 519980960919)  
주소 일본국 도쿄도 지요다구 마루노우치 2호메 2반 3고

**대리인** 성명 장수길 외 1명  
주소 서울 종로구 내자동 219 한누리빌딩(김&장 특허법률사무소)

**출원번호** 10-2001-0070995

**발명의 명칭** 반도체 장치 및 그 제조 방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 용지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매 회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인장지는 하지 않습니다.)

### [이유]

이 출원의 특허청구범위 제1항 내지 제3항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

### [아래]

- 청구범위 제1항의 SOI 구조의 반도체 장치에 있어서 MOS 트랜지스터, 부는 분리 영역, SOI 층의 일부인 부는 절연막 아래의 반도체 영역, 제1도전형의 소스/드레인 영역, 게이트 전극, 제2도전형의 전위 고정 가능한 바디 영역을 포함하는 반도체 장치는 인용발명1(한국공개특허공보 2000-0048319호(2000.07.25))의 SOI 구조의 반도체 장치에 있어서 복수의 소자 형성 영역, 소자 분리 영역 아래의 반도체 영역, 바디 영역을 포함하는 반도체 장치 및 인용발명2(한국공개특허공보 2000-0047907호(2000.07.25))의 SOI 구조의 반도체 장치에 있어서 소자 분리 영역, 복수의 소자 형성 영역, 제2도전형의 소스/드레인 영역, 제1도전형의 반도체층 및 채널 영역을 포함하는 반도체 장치 등에서 용이하게 발명할 수 있는 것입니다.(특허법 제29조제2항)
- 청구범위 제2항의 제1 및 제2 MOS 트랜지스터 사이에 있어서의 바디 영역의 구조, 게이트 전극의 구조 및 근체 전위 고정의 유무중 적어도 하나를 상이하게 하여 제1 및 제2 MOS 트랜지스터 특성을 상이하게 하는 것을 특징으로 하는 반도체 장치는 인용발명1의 제1 및 제2 MOS 트랜지스터를 포함하는 반도체 장치 및 인용발명3(한국공개특허공보 1999-76552호(1999.10.15))의 게이트 전극 구조의 변형 및 바디 영역의 구조 변경을 포함하는 SOI 구조의 트랜지스터를 갖는 반도체 장치 등에서 용이하게 발명할 수 있는 것입니다.(특허법 제29조제2항)
- 청구범위 제3항의 SOI 구조의 반도체 장치에 있어서 제1 및 제2 소자 형성 영역, 부는 분리 영역, 완전 분리 영역, 제1 및 제2 MOS 트랜지스터는 상이한 트랜지스터 특성을 갖는 것을 특징으로 하는 반도체 장치는 인용발명2의 SOI 구조의 반도체 장치에 있어서 소자 분리 영역, 복수의 소자 형성 영역, 제1도전형의 반도체층, 제1도전형의 채널 영역, 제2도전형의 소스/드레인 영역을 포함하는 반도체 장치 및 인용발명3의 게이트 전극 구조의 변형 및 바디 영역의 구조 변경을 포함하는 SOI 구조의 트랜지스터를 갖는 반도체 장치 등에서 용이하게 발명할 수 있는 것입니다.(특허법 제29조제2항)

종결 일자: 2003/12/1

4. 청구범위 제2항의 "상기 제1 및 제2 MOS 트랜지스터 사이에 있어서의 바디 영역의 구조, 게이트 전극의 구조 - 트랜지스터 특성을 상이하게 하는 것을 특징으로 하는 반도체 장치"에서 특성을 상이하게 한다는 의미가 불명확하며, 그 발명이 상세한 설명에 의하여 뒷받침 되지 않을 뿐만 아니라 명확히 기재되어 있다고 볼 수 없습니다.(특허법 제42조제4항제1호 및 제2호)

5. 청구범위 제3항의 상이한 트랜지스터의 특성이 의미하는 바가 불명확하며, 그 발명이 상세한 설명에 의하여 뒷받침 되지 않을 뿐만 아니라 명확히 기재되어 있다고 볼 수 없습니다.(특허법 제42조제4항제1호 및 제2호)

[첨 부]

첨부 1 한국공개특허공보 2000-48319호(2000.07.25) 1부

첨부2 한국공개특허공보 2000-47907호(2000.07.25) 1부

첨부3 한국공개특허공보 1999-76552호(1999.10.15) 1부 끝.

2003.11.28

특허청

심사4국

반도체2심사담당관실

심사관 김근모



<<안내>>

문의사항이 있으시면 ☎ 로 문의하시기 바랍니다.

특허권 관련 모든 깨끗한 특허행정 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 불편의 부조리행위  
위기가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지([www.kipo.go.kr](http://www.kipo.go.kr))내 부조리신고센터

FILED BY IDS

COM. JP 2000-243973

특 2000-0048319

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>7</sup> H01L 27/092	(11) 공개번호 (43) 공개일자	특 2000-0048319 2000년 07월 25일
(21) 출원번호	10-1999-0060144	
(22) 출원일자	1999년 12월 22일	
(30) 우선권주장	1998-367265 / 1998년 12월 24일 일본 (JP) 1999-177091 1999년 06월 23일 일본 (JP)	
(71) 출원인	미쓰비시덴키 가부시카이가이샤 다니구찌 이찌로오, 기타오카 다카시	
(72) 발명자	일본국 도쿄도 지요다구 마루노우치 2초메 2반 3고 야마구찌야스오 일본도쿄도지요다구마루노우찌2-2-3미쓰비시덴키가부시카이가이샤내 마에가와시게토 일본도쿄도지요다구마루노우찌2-2-3미쓰비시덴키가부시카이가이샤내 이쵸시다카시 일본도쿄도지요다구마루노우찌2-2-3미쓰비시덴키가부시카이가이샤내 이와마쯔도시야끼 일본도쿄도지요다구마루노우찌2-2-3미쓰비시덴키가부시카이가이샤내 마에다시게노부 일본도쿄도지요다구마루노우찌2-2-3미쓰비시덴키가부시카이가이샤내 히라노유우미찌 일본도쿄도지요다구마루노우찌2-2-3미쓰비시덴키가부시카이가이샤내 마즈모또다구지 일본도쿄도지요다구마루노우찌2-2-3미쓰비시덴키가부시카이가이샤내 미야모또쇼이찌 일본도쿄도지요다구마루노우찌2-2-3미쓰비시덴키가부시카이가이샤내	
(74) 대리인	장수길, 구영환	

심사청구 : 있음

(54) 반도체 장치 및 그 제조 방법 및 반도체 장치의 설계 방법

요약

기관 부유 효과의 저감을 도모한 SOI 구조의 반도체 장치를 얻는다.

SOI층(3)의 각 트랜지스터 형성 영역은 하층부에 웰 영역이 형성되는 부분 산화막(31)에 의해 분리된다. NMOS 트랜지스터 사이를 분리하는 부분 산화막(31)의 하층에 p형의 웰 영역(11)이 형성되고, PMOS 트랜지스터 사이를 분리하는 부분 산화막(31)의 하층에 n형의 웰 영역(12)이 형성되며, NMOS 트랜지스터, PMOS 트랜지스터 사이를 분리하는 부분 산화막(31)의 하층에 p형의 웰 영역(11) 및 n형의 웰 영역(12)이 인접하여 형성된다. 보디 영역은 인접하는 웰 영역(11)에 접하고 있다. 층간 절연막(4) 상에 형성된 배선층은, 층간 절연막(4) 중에 설치된 보디 콘택트를 통해 보디 영역과 전기적으로 접속된다.

도표도

도1

색인어

실리콘 기판, 매립 산화막, SOI층, 층간 절연막, 게이트 전극, 보디 영역, 트렌치, 저유전율막, 스파이럴 인덕터, 아날로그 회로용 트랜지스터

명세서

도면의 간단한 설명

- 도 1은 본 발명의 실시 형태 1인 SOI 구조의 반도체 장치의 제1 형태를 나타낸 단면도.
- 도 2는 실시 형태 1의 제1 형태를 나타낸 단면도.
- 도 3은 실시 형태 1의 제1 형태의 평면도.
- 도 4는 실시 형태 1의 제2 형태의 구조를 나타낸 단면도.
- 도 5는 실시 형태 2의 제1 형태를 나타낸 단면도.
- 도 6은 실시 형태 2의 제2 형태를 나타낸 단면도.
- 도 7은 실시 형태 2의 제3 형태를 나타낸 단면도.
- 도 8은 실시 형태 2에 있어서의 제1 소자 분리 공정을 나타낸 단면도.
- 도 9는 실시 형태 2에 있어서의 제1 소자 분리 공정을 나타낸 단면도.
- 도 10은 실시 형태 2에 있어서의 제1 소자 분리 공정을 나타낸 단면도.
- 도 11은 실시 형태 2에 있어서의 제1 소자 분리 공정을 나타낸 단면도.
- 도 12는 고농도 웰 영역 형성 공정을 나타낸 단면도.
- 도 13은 고농도 웰 영역 형성 공정을 나타낸 단면도.
- 도 14는 실시 형태 2에 있어서의 제2 소자 분리 공정을 나타낸 단면도.
- 도 15는 실시 형태 2에 있어서의 제2 소자 분리 공정을 나타낸 단면도.
- 도 16은 실시 형태 2에 있어서의 제2 소자 분리 공정을 나타낸 단면도.
- 도 17은 실시 형태 2에 있어서의 제2 소자 분리 공정을 나타낸 단면도.
- 도 18은 실시 형태 2에 있어서의 제2 소자 분리 공정을 나타낸 단면도.
- 도 19는 실시 형태 2에 있어서의 제3 소자 분리 공정을 나타낸 단면도.
- 도 20은 실시 형태 2에 있어서의 제3 소자 분리 공정을 나타낸 단면도.
- 도 21은 실시 형태 2에 있어서의 제3 소자 분리 공정을 나타낸 단면도.
- 도 22는 실시 형태 2에 있어서의 제3 소자 분리 공정을 나타낸 단면도.
- 도 23은 실시 형태 2에 있어서의 제4 소자 분리 공정을 나타낸 단면도.
- 도 24는 실시 형태 2에 있어서의 제4 소자 분리 공정을 나타낸 단면도.
- 도 25는 실시 형태 2에 있어서의 제4 소자 분리 공정을 나타낸 단면도.
- 도 26은 실시 형태 2에 있어서의 제4 소자 분리 공정을 나타낸 단면도.
- 도 27은 실시 형태 2에 있어서의 제4 소자 분리 공정을 나타낸 단면도.
- 도 28은 실시 형태 3의 제1 형태를 나타낸 단면도.
- 도 29는 실시 형태 3의 제2 형태를 나타낸 단면도.
- 도 30은 실시 형태 4의 SOI 구조를 나타낸 단면도.
- 도 31은 실시 형태 4의 SOI 구조를 나타낸 단면도.
- 도 32는 실시 형태 4의 다른 SOI 구조를 나타낸 단면도.
- 도 33은 실시 형태 4에 있어서의 소자 분리 공정을 나타낸 단면도.
- 도 34는 실시 형태 4에 있어서의 소자 분리 공정을 나타낸 단면도.
- 도 35는 실시 형태 4에 있어서의 소자 분리 공정을 나타낸 단면도.
- 도 36은 실시 형태 4에 있어서의 소자 분리 공정을 나타낸 단면도.
- 도 37은 실시 형태 4에 있어서의 소자 분리 공정을 나타낸 단면도.
- 도 38은 실시 형태 5의 제1 형태를 나타낸 단면도.
- 도 39는 실시 형태 5의 제2 형태를 나타낸 단면도.
- 도 40은 실시 형태 5의 제3 형태를 나타낸 단면도.
- 도 41은 실시 형태 6의 제1 형태를 나타낸 단면도.
- 도 42는 실시 형태 6의 제2 형태를 나타낸 단면도.
- 도 43은 실시 형태 6에 있어서의 제1 접속 영역 형성 공정을 나타낸 단면도.
- 도 44는 실시 형태 6에 있어서의 제1 접속 영역 형성 공정을 나타낸 단면도.
- 도 45는 실시 형태 6에 있어서의 제1 접속 영역 형성 공정을 나타낸 단면도.

- 도 46은 실시 형태 6에 있어서의 제2 접속 영역 형성 공정을 나타낸 단면도.
- 도 47은 실시 형태 6에 있어서의 제2 접속 영역 형성 공정을 나타낸 단면도.
- 도 48은 실시 형태 6에 있어서의 제2 접속 영역 형성 공정을 나타낸 단면도.
- 도 49는 실시 형태 6에 있어서의 제3 접속 영역 형성 공정을 나타낸 단면도.
- 도 50은 실시 형태 6에 있어서의 제3 접속 영역 형성 공정을 나타낸 단면도.
- 도 51은 실시 형태 6에 있어서의 제3 접속 영역 형성 공정을 나타낸 단면도.
- 도 52는 실시 형태 6의 제3 형태를 나타낸 단면도.
- 도 53은 실시 형태 6의 제4 형태를 나타낸 단면도.
- 도 54는 실시 형태 6의 제5 형태를 나타낸 단면도.
- 도 55는 실시 형태 2의 제4 형태를 나타낸 단면도.
- 도 56은 실시 형태 2의 제5 형태를 나타낸 단면도.
- 도 57은 실시 형태 2의 제6 형태를 나타낸 단면도.
- 도 58은 실시 형태 2에 있어서의 제5 소자 분리 공정을 나타낸 단면도.
- 도 59는 실시 형태 2에 있어서의 제5 소자 분리 공정을 나타낸 단면도.
- 도 60은 실시 형태 2에 있어서의 제5 소자 분리 공정을 나타낸 단면도.
- 도 61은 실시 형태 2에 있어서의 제5 소자 분리 공정을 나타낸 단면도.
- 도 62는 실시 형태 2에 있어서의 제5 소자 분리 공정을 나타낸 단면도.
- 도 63은 실시 형태 7에 따른 완전 분리 영역의 설정 방법을 나타낸 설명도.
- 도 64는 래치업 현상을 설명하기 위한 설명도.
- 도 65는 실시 형태 8의 제1 형태를 나타낸 단면도.
- 도 66은 입력 회로의 일례를 나타낸 회로도.
- 도 67은 출력 회로의 일례를 나타낸 회로도.
- 도 68은 실시 형태 8의 제2 형태를 나타낸 단면도.
- 도 69는 실시 형태 8의 제3 형태를 나타낸 평면도.
- 도 70은 실시 형태 9의 제1 형태를 나타낸 평면도.
- 도 71은 도 70의 A-A 단면을 나타낸 단면도.
- 도 72는 실시 형태 9의 제2 형태를 나타낸 평면도.
- 도 73은 도 72의 B-B 단면을 나타낸 단면도.
- 도 74는 실시 형태 10의 제1 형태를 나타낸 평면도.
- 도 75는 실시 형태 10의 제2 형태를 나타낸 평면도.
- 도 76은 실시 형태 11의 제1 형태를 나타낸 평면도.
- 도 77은 실시 형태 11의 제2 형태를 나타낸 평면도.
- 도 78은 실시 형태 12의 제1 형태를 나타낸 평면도.
- 도 79는 도 78의 C-C 단면을 나타낸 단면도.
- 도 80은 실시 형태 12의 제2 형태를 나타낸 평면도.
- 도 81은 도 80의 D-D 단면을 나타낸 단면도.
- 도 82는 실시 형태 12의 제3 형태를 나타낸 평면도.
- 도 83은 실시 형태 13을 나타낸 단면도.
- 도 84는 실시 형태 14의 제1 형태의 특징을 나타낸 설명도.
- 도 85는 실시 형태 14의 제2 형태의 특징을 나타낸 설명도.
- 도 86은 실시 형태 15의 제1 형태를 나타낸 단면도.
- 도 87은 실시 형태 15의 제2 형태를 나타낸 평면도.
- 도 88은 실시 형태 16의 제1 형태를 나타낸 단면도.
- 도 89는 실시 형태 16의 제2 형태를 나타낸 단면도.
- 도 90은 실시 형태 17의 제1 형태를 나타낸 단면도.



- 도 91은 실시 형태 17의 회로 구성을 나타낸 회로도.
- 도 92는 실시 형태 17의 제2 형태를 나타낸 단면도.
- 도 93은 실시 형태 18의 DT-MOS를 나타낸 평면도.
- 도 94는 실시 형태 19를 나타낸 단면도.
- 도 95는 실시 형태 20의 제1 형태를 나타낸 단면도.
- 도 96은 실시 형태 20의 필드 트랜지스터의 입력 회로에의 이용예를 나타낸 회로도.
- 도 97은 실시 형태 20의 필드 트랜지스터의 출력 회로에의 이용예를 나타낸 회로도.
- 도 98은 실시 형태 20의 제2 형태를 나타낸 단면도.
- 도 99는 실시 형태 20의 제3 형태를 나타낸 평면도.
- 도 100은 드레인/소스 영역의 불순물 분포를 나타낸 설명도.
- 도 101은 도 74의 E-E 단면을 나타낸 단면도.
- 도 102는 종래의 SOI 구조의 반도체 장치를 나타낸 단면도.

〈도면의 주요 부분에 대한 부호의 설명〉

- 1 : 실리콘 기판
- 2 : 매립 산화막
- 3 : SOI층
- 3A, 3B : 부분 SOI층
- 4 : 층간 절연막
- 5, 5s, 5t, 245, 255 : 드레인 영역
- 6, 6s, 6t, 246, 256 : 소스 영역
- 7 : 채널 형성 영역
- 8 : 게이트 산화막
- 9 : 게이트 전극
- 10, 20, 146, 147, 156, 164 : 보디 영역
- 11 : 웰 영역(p형)
- 12, 28 : 웰 영역(n형)
- 31 : 부분 산화막
- 32 : 완전 산화막
- 33, 210~212, 218 : 산화막
- 44, 44A, 44B : 부분 트렌치
- 48 : 완전 트렌치
- 61, 62 : 폴리실리콘 영역
- 75~77 : 저유전율막
- 78, 79 : 실리콘 산화막
- 80, 86~89 : 절속 영역
- 104 : n웰 영역
- 105, 110, 114, 115, 120 : 완전 분리 영역
- 107, 117, 127, 137, 148 : 부분 분리 영역
- 149 : 부유 부분 분리 영역
- 150 : 부유 p<sup>+</sup> 보디 영역
- 182, 224 : 웰 영역
- 199 : 스파이럴 인덕터
- 200 : 고저항 실리콘 기판
- 223 : 고저항 영역
- Q21, Q22 : 아날로그 회로용 트랜지스터

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 SOI 구조의 반도체 장치에 관한 것이다.

도 102에 도시한 바와 같이, 실리콘 기판(1), 매립 산화막(2) 및 SOI(Silicon On Insulator)층으로 이루어지는 종래의 SOI 구조의 반도체 장치에 있어서, SOI층(3) 중의 트랜지스터 형성 영역은 완전 산화막(32)에 의해 완전히 분리되어 있었다. 예를 들면, NMOS 트랜지스터 형성 영역에 형성되는 1단위의 NMOS 트랜지스터는 완전 산화막(32)에 의해 다른 트랜지스터로부터 완전 분리되어 있다. 또, 도 102의 예에서는 SOI층(3) 상을 통한 절연막(4)으로 덮여 있다.

도 102에 있어서, 완전 산화막(32)에 따라서 다른 트랜지스터로부터 완전 분리되는 1단위의 NMOS 트랜지스터는, SOI층(3) 중에 형성되는 드레인 영역(5), 소스 영역(6), 채널 형성 영역(7), 채널 형성 영역(7) 상에 형성되는 게이트 산화막(8) 및 게이트 산화막(8) 상에 형성되는 게이트 전극(9)으로 구성된다. 또한, 중간 절연막(4) 상에 형성된 배선층(22)은, 중간 절연막(4) 중에 설치된 콘택트(21)를 통해 드레인 영역(5) 혹은 소스 영역(6)과 전기적으로 접속된다.

이와 같이, 종래의 SOI 구조의 반도체 장치는 소자(트랜지스터) 단위로 SOI층 중에 완전 분리되어 있기 때문에, PMOS 및 NMOS 각각의 트랜지스터 사이는 완전히 분리되어 래치업이 원리적으로 발생하지 않는 구조를 나타내고 있다.

따라서, SOI 구조로 CMOS 트랜지스터를 갖는 반도체 장치를 제조하는 경우에는, 미세 가공 기술로 결정되는 최소 분리폭을 사용할 수 있어 칩면적을 축소할 수 있는 장점이 있었다. 그러나, 충돌 전리 현상에 의해 발생하는 캐리어(NMOS에서는 홀)가 채널 형성 영역에 저장되고, 이에 따라 킥(kink)이 발생하거나, 동작 내압이 열화하거나, 또한, 채널 형성 영역의 전위가 안정되지 않기 때문에 지연 시간의 주파수 의존성이 생기는 등의 기판 부유 효과에 의해 생기는 여러가지 문제점이 있었다.

#### 발명이 이루고자하는 기술적 과제

본 발명은 상기 문제점을 해결하기 위해 이루어진 것으로, 기판 부유 효과의 저감을 도모한 SOI 구조의 반도체 장치를 얻는 것을 목적으로 한다.

본 발명에 따른 반도체 장치는, 반도체 기판, 매립 절연층 및 SOI층(3)으로 이루어지는 SOI 구조를 나타내고 있고, 상기 SOI층에 설치되고, 각각에 소정의 소자가 형성되는 복수의 소자 형성 영역과, 상기 SOI층에 설치되고, 상기 복수의 소자 형성 영역 사이를 절연 소자 분리하는 소자 분리 영역과, 상기 SOI층에 설치되고, 외부로부터 전위 고정 가능한 보드 영역을 구비하여, 상기 소자 분리 영역 중 적어도 일부의 영역은, 상술부에 설치된 부분 절연 영역과 하술부에 존재하는 상기 SOI층의 일부인 반도체 영역으로 구성되는 부분 분리 영역을 포함하며, 상기 반도체 영역은, 상기 복수의 상기 소자 형성 영역 중 적어도 1개의 소자 형성 영역 및 상기 보드 영역과 접하여 형성되어 있다.

본 발명에 따른 반도체 장치에 있어서, 상기 복수의 소자 형성 영역은, 제1 소자용의 복수의 제1 소자 형성 영역과 제2 소자용의 복수의 제2 소자 형성 영역을 포함하고, 상기 소자 분리 영역은 상기 SOI층을 관통한 완전 절연 영역을 포함하는 완전 분리 영역을 더욱 포함하며, 상기 부분 분리 영역은 제1 및 제2 부분 분리 영역을 포함하고, 상기 복수의 제1 소자 형성 영역은 각각 상기 제1 부분 분리 영역에 의해 소자 분리되고, 상기 복수의 제2 소자 형성 영역은 각각 상기 제2 부분 분리 영역에 의해 소자 분리되고, 상기 복수의 제1 소자 형성 영역과 상기 복수의 제2 소자 형성 영역은 상기 완전 분리 영역에 의해 소자 분리된다.

본 발명에 따른 반도체 장치에 있어서, 상기 복수의 소자 형성 영역은, 제1 회로용의 복수의 소자 형성 영역과 제2 회로용의 복수의 소자 형성 영역을 포함하고, 상기 제1 회로용의 복수의 소자 형성 영역은 상기 SOI층을 관통한 완전 분리 영역에 의해 소자 분리되고, 상기 제2 회로용의 복수의 소자 형성 영역은 상기 부분 분리 영역에 의해 소자 분리되어 있다.

본 발명에 따른 반도체 장치에 있어서, 상기 SOI층은 제1 및 제2 부분 SOI층을 포함하고, 상기 제1 부분 SOI층의 막 두께는 상기 제2 부분 SOI층의 막 두께보다도 얇게 형성되며, 상기 복수의 제1 소자 형성 영역은 상기 제1 부분 SOI층에 형성되고, 상기 복수의 제2 소자 형성 영역은 상기 제2 부분 SOI층에 형성된다.

본 발명에 따른 반도체 장치에 있어서, 상기 복수의 소자 형성 영역은, 소정의 회로용 소자 형성 영역과 상기 소정의 회로 이외의 다른 회로용 소자 형성 영역을 포함하고, 상기 소정의 회로용 소자 형성 영역과 상기 다른 회로용 소자 형성 영역은 상기 SOI층을 관통한 완전 분리 영역에 의해 소자 분리된다.

본 발명에 따른 반도체 장치에 있어서, 상기 복수의 소자 형성 영역 중, 상기 부분 분리 영역에 의해 소자 분리된 소자 형성 영역에 형성되는 소자의 활성 영역의 상기 SOI층 표면에서 형성 깊이는, 상기 부분 분리 영역의 형성 깊이보다 얇다.

본 발명에 따른 반도체 장치에 있어서, 상기 반도체 영역은 폴리실리콘 영역을 포함한다.

본 발명에 따른 반도체 장치에 있어서, 상기 부분 절연 영역은 유전률이 상기 매립 절연층보다 낮은 저유전율막을 포함한다.

본 발명에 따른 반도체 장치에 있어서, 상기 부분 절연 영역은 적어도 측면에 설치된 부분 절연막과 그것

이외의 영역에 설치되고, 유전율이 상기 부분 절연막보다 낮은 저유전율을 포함한다.

본 발명에 따른 반도체 장치에 있어서, 상기 소자 분리 영역은 복수의 소자 분리 영역을 포함하고, 상기 복수의 소자 분리 영역의 적어도 1개의 영역은 소정의 형성폭으로 상기 반도체 기판의 표면에 대해 거의 수직으로 연장되어 형성된다.

본 발명에 따른 반도체 장치는, 반도체 기판, 매립 절연층 및 SOI층으로 이루어지는 SOI 구조를 나타내고 있고, 상기 SOI층에 설치되고, 각각에 소정의 소자가 형성되는 복수의 소자 형성 영역과, 상기 SOI층에 설치되고, 상기 복수의 소자 형성 영역 사이를 절연 소자 분리하는 소자 분리 영역과, 외부로부터 전위 고정 가능한 보디 영역을 구비하며, 상기 보디 영역은, 상기 복수의 소자 형성 영역 중, 적어도 1개의 소자 형성 영역의 표면 혹은 이면에 접하도록 형성된다.

본 발명에 따른 반도체 장치에 있어서, 상기 보디 영역은, 상기 매립 절연층의 상층부에 형성되고, 상기 적어도 1개의 소자 형성 영역의 이면에 접하고 있다.

본 발명에 따른 반도체 장치에 있어서, 상기 보디 영역은, 상기 매립 절연층을 관통하여 형성되고, 상기 적어도 1개의 소자 형성 영역의 이면에 접하고 있다.

본 발명에 따른 반도체 장치에 있어서, 상기 보디 영역은, 상기 적어도 1개의 소자 형성 영역의 상층에 설치되고, 상기 적어도 1개의 소자 형성 영역의 표면에 접한다.

본 발명에 따른 반도체 장치에 있어서, 상기 소자 분리 영역 중 적어도 일부의 영역은, 상기 SOI층을 관통한 완전 절연 영역과 상기 부분 분리 영역이 연속하여 형성되는 복합 분리 영역을 포함한다.

본 발명에 따른 반도체 장치에 있어서, 상기 부분 분리 영역의 상면은 요철 없이 균일하게 형성된다.

본 발명에 따른 반도체 장치에 있어서, 상기 복합 분리 영역의 상기 반도체 영역의 막 두께는, 상기 SOI층의 막 두께의 1/2 이하로 설정된다.

본 발명에 따른 반도체 장치에 있어서, 상기 복합 분리 영역에 있어서 상기 완전 절연 영역의 형성폭은 상기 복합 분리 영역 전체의 형성폭의 1/2 이하로 설정된다.

본 발명에 따른 반도체 장치에 있어서, 상기 소자 분리 영역은 상기 SOI층을 관통한 완전 절연 영역을 갖는 완전 분리 영역을 포함하고, 상기 복수의 소자 형성 영역은 상호 인접하여 형성되는 입출력 NMOS 트랜지스터 형성 영역 및 입출력 PMOS 트랜지스터 형성 영역을 포함하며, 상기 완전 분리 영역은 적어도 상기 입출력 NMOS 트랜지스터 형성 영역과 상기 입출력 PMOS 트랜지스터 형성 영역과의 경계 근방 영역에 형성된다.

본 발명에 따른 반도체 장치에 있어서, 상기 소자 형성 영역은 입출력 NMOS 트랜지스터 형성 영역 혹은 입출력 PMOS 트랜지스터 형성 영역과 인접하여 형성되는 내부 회로 형성 영역을 더욱 포함하며, 상기 완전 분리 영역은, 상기 입출력 NMOS 트랜지스터 형성 영역 및 상기 입출력 PMOS 트랜지스터 형성 영역 중 상기 내부 회로 형성 영역과 인접 배치된 영역과 상기 내부 회로 형성 영역과의 경계 근방 영역에 더욱 형성된다.

본 발명에 따른 반도체 장치에 있어서, 상기 소자 분리 영역은 상기 SOI층을 관통한 완전 절연 영역을 포함하는 완전 분리 영역을 포함하고, 상기 복수의 소자 형성 영역은 상호 인접하여 형성되는 NMOS 트랜지스터 형성 영역 및 PMOS 트랜지스터 형성 영역을 포함하며, 상기 완전 분리 영역은, 상기 NMOS 트랜지스터 형성 영역과 상기 입출력 PMOS 트랜지스터 형성 영역과의 경계 근방의 상기 PMOS 트랜지스터 형성 영역 내의 완전 분리 영역 형성 개소에 형성되고, 상기 부분 분리 영역은 상기 NMOS 트랜지스터 형성 영역의 주변 영역, 및 상기 완전 분리 영역 형성 개소를 제외하는 상기 NMOS 트랜지스터 형성 영역의 주변 영역에 형성된다.

본 발명에 따른 반도체 장치에 있어서, 상기 소자 분리 영역은 상기 SOI층을 관통한 완전 절연 영역을 포함하는 완전 분리 영역을 포함하고, 상기 복수의 소자 형성 영역은 MOS 트랜지스터 형성 영역을 포함하며, 상기 부분 분리 영역은 상기 MOS 트랜지스터 형성 영역의 게이트 전극의 적어도 일단 근방의 부분 분리 영역 형성 개소에 형성되며, 상기 완전 절연 영역은, 상기 부분 분리 영역 형성 개소를 제외하는 상기 MOS 트랜지스터 형성 영역의 주변 영역에 형성된다.

본 발명에 따른 반도체 장치에 있어서, 상기 복수의 소자 형성 영역은 제1 도전형의 트랜지스터 형성 영역을 포함하고, 상기 부분 분리 영역은 상기 트랜지스터 형성 영역의 주위에 둘러싸여 형성되는 주변 부분 분리 영역을 포함하며, 상기 보디 영역은, 상기 주변 부분 분리 영역의 주위에 둘러싸여 형성되는 제2 도전형의 주변 보디 영역을 포함한다.

본 발명에 따른 반도체 장치에 있어서, 상기 복수의 소자 형성 영역은 MOS 트랜지스터 형성 영역을 포함하고, 상기 보디 영역은 상기 MOS 트랜지스터 형성 영역의 소스 영역에 인접하여 형성되는 소스 인접 보디 영역을 포함하며, 상기 소스 영역 및 상기 소스 인접 보디 영역에 공통 접속되는 전위 설정 영역을 더 구비한다.

본 발명에 따른 반도체 장치에 있어서, 상기 부분 분리 영역에서의 반도체 영역은 제1 및 제2 부분 반도체 영역을 포함하고, 상기 제1 부분 반도체 영역의 불순물 농도를 상기 제2 부분 반도체 영역의 불순물 농도보다도 높게 설정하고 있다.

본 발명에 따른 반도체 장치에 있어서, 상기 제1 부분 반도체 영역은 상기 복수의 소자 형성 영역 중 분리 대상의 소자 형성 영역에 인접하여 형성되는 주변 영역을 포함하고, 상기 제2 부분 반도체 영역은 상기 주변 영역을 제외하는 상기 반도체 영역인 중심 영역을 포함한다.

본 발명에 따른 반도체 장치에 있어서, 상기 복수의 소자 형성 영역은 MOS 트랜지스터 형성 영역을 포함하고, 상기 부분 분리 영역은 상기 MOS 트랜지스터 형성 영역의 주위에 둘러싸여 형성되며, 상기 제1 부분 반도체 영역은 상기 MOS 트랜지스터 형성 영역의 게이트 전극 근방 영역을 포함하고, 상기 제2 부분

반도체 영역은 상기 MOS 트랜지스터 형성 영역의 드레인/소스 근방 영역을 포함한다.

본 발명에 따른 반도체 장치에 있어서, 상기 복수의 소자 형성 영역은 제1 도전형의 MOS 트랜지스터 형성 영역을 포함하고, 상기 부분 분리 영역의 상기 반도체 영역은 제2 도전형의 영역을 포함하며, 상기 부분 분리 영역에 있어서의 상기 반도체 영역의 불순물 농도의 피크가, 상기 MOS 트랜지스터 형성 영역 내에서 상기 반도체 영역에 접하여 형성되는 드레인/소스 영역의 불순물 농도의 피크보다, 상기 SOI층의 표면으로부터의 깊이가 깊어지도록 설정된다.

본 발명에 따른 반도체 장치에 있어서, 상기 복수의 소자 형성 영역은 MOS 트랜지스터 형성 영역을 포함하고, 상기 MOS 트랜지스터 형성 영역의 채널 형성 영역의 불순물 농도의 피크가, 상기 부분 분리 영역에서의 상기 반도체 영역의 불순물 농도의 피크보다, SOI층의 표면에서의 깊이가 깊어지도록 설정된다.

본 발명에 따른 반도체 장치에 있어서, 상기 복합 분리 영역에 있어서의 반도체 영역은, 상기 완전 절연 영역에 인접하여 형성되는 제1 부분 반도체 영역 영역과 그 이외의 상기 반도체 영역인 제2 부분 반도체 영역을 포함하고, 상기 제1 부분 반도체 영역의 불순물 농도를 상기 제2 부분 반도체 영역의 불순물 농도보다도 높게 설정하고 있다.

본 발명에 따른 반도체 장치에 있어서, 상기 부분 분리 영역의 표면에서의 각부의 곡률 반경보다 저면에 있어서의 각부의 곡률 반경을 커지도록 설정하고 있다.

본 발명에 따른 반도체 장치의 상기 복합 분리 영역에 있어서, 상기 부분 절연 영역의 저면에 있어서의 각부의 곡률 반경보다 상기 절연 분리 영역과 상기 부분 절연 영역 사이에 생기는 단차부의 곡률 반경을 작게 하고 있다.

본 발명에 따른 반도체 장치에 있어서, 상기 소자 분리 영역은 상기 SOI층을 관통한 완전 절연 영역을 갖는 완전 분리 영역을 포함하고, 상기 SOI층의 상층부의 인덕턴스 형성 영역에 형성되는 인덕턴스 성분들 더 구비하며, 상기 완전 분리 영역은 상기 인덕턴스 형성 영역의 아래쪽에 형성된다.

본 발명에 따른 반도체 장치에 있어서, 상기 복수의 소자 형성 영역은 MOS 트랜지스터 형성 영역을 포함하며, 상기 보디 영역은 상기 MOS 트랜지스터 형성 영역에 형성되는 MOS 트랜지스터의 게이트 전극에 전기적으로 접속되는 게이트 접속 보디 영역을 포함하고, 상기 부분 분리 영역은 상기 MOS 트랜지스터 형성 영역의 주위에 둘러싸여 형성된다.

본 발명에 따른 반도체 장치에 있어서, 상기 반도체 영역은 제1 도전형의 영역을 포함하고, 상기 소자의 활성 영역은 제2 도전형을 포함하며, 상기 소자의 활성 영역의 형성 깊이는 빌트 인 상태 시에 상기 소자의 활성 영역으로부터 연장되는 공핍층이 상기 매립 절연층에 도달하지 않는 레벨로 설정된다.

본 발명에 따른 반도체 장치에 있어서, 상기 복수의 소자 형성 영역은 필드 트랜지스터 형성 영역을 포함하며, 상기 필드 트랜지스터 형성 영역 내에 형성되는 필드 트랜지스터는, 상호 독립하여 형성되는 제1 및 제2 활성 영역과, 상기 제1 및 제2 활성 영역 사이에 형성되고, 상층부에 설치된 필드 트랜지스터용 부분 절연 영역과 하층부에 존재하는 상기 SOI층의 일부인 필드 트랜지스터용 반도체 영역으로 구성되는 게이트부를 포함한다.

본 발명에 따른 반도체 장치는, 반도체 기판, 매립 절연층 및 SOI층으로 이루어지는 SOI 구조를 나타내고 있고, 상기 SOI층에 설치되고, 소정의 소자가 형성되는 소자 형성 영역과, 상기 SOI층에 설치되고, 상기 소자 형성 영역의 주위에 둘러싸여 형성되는 주변 소자 분리 영역을 구비하며, 상기 주변 소자 분리 영역은, 상층부에 설치된 부분 절연 영역과 하층부에 존재하는 상기 SOI층의 일부인 반도체 영역으로 구성되는 부분 분리 영역을 포함하며, 상기 반도체 영역은 적어도 1개의 상기 소자 형성 영역에 접하여 형성될 때 함께, 부유 상태로 설정된다.

본 발명에 따른 반도체 장치의 제조 방법은, (a) 반도체 기판, 매립 절연층 및 SOI층으로 이루어지는 SOI 구조의 SOI 기판을 준비하는 단계와, (b) 상기 SOI층을 선택적으로 표면으로부터 관통시키지 않고 제거하여, 복수의 트렌치를 형성하는 단계를 구비하고, 상기 복수의 트렌치 사이의 상기 SOI층의 영역이 복수의 소자 형성 영역으로 되고, (c) 상기 복수의 트렌치 각각에 절연막을 매립하는 단계를 더 구비하고, 상기 복수의 트렌치 중 적어도 1개의 트렌치 내의 절연막과 상기 적어도 1개의 트렌치 하의 상기 SOI층에 의해 부분 분리 영역이 구성되며, (d) 상기 복수의 소자 형성 영역 각각에 소정의 소자를 형성하는 단계를 더 구비하고 있다.

본 발명에 따른 반도체 장치의 제조 방법에 있어서, 상기 복수의 트렌치는 제1 및 제2 트렌치를 포함하고, 상기 적어도 하나의 트렌치는 상기 제1 트렌치를 포함하고, 상기 단계 (b)의 후, 단계 (c)의 전, (e) 상기 제1 및 제2 트렌치 중, 상기 제2 트렌치의 바닥으로부터 상기 SOI층을 더욱 제거하여, 상기 SOI층을 관통시키는 단계를 더 구비하고, 상기 단계 (c)에 의해, 상기 제1 트렌치 내의 절연막과 상기 제1 트렌치 하의 상기 SOI층에 의해 상기 부분 분리 영역이 구성되며, 상기 SOI층을 관통한 상기 제2 트렌치 내의 절연막에 의해 완전 분리 영역이 구성된다.

본 발명에 따른 반도체 장치의 제조 방법에 있어서, 상기 제2 트렌치의 형성폭은 상기 제1 트렌치의 형성폭보다 넓고, 상기 단계 (b)는, (b-1) 상기 제1 트렌치의 저면은 막히고, 제2 트렌치의 저면의 중심부는 노출하는 정도로, 상기 제1 및 제2 트렌치 각각의 측면에 측벽체를 형성하는 단계와, (b-2) 상기 측벽체를 마스크로 하여 상기 제2 트렌치의 중심부 아래의 상기 SOI층을 관통시키는 단계를 구비한다.

본 발명에 따른 반도체 장치의 제조 방법에 있어서, 상기 단계 (b)의 후, (f) 상기 복수의 트렌치의 하층의 상기 SOI층에 불순물을 도입하여 고농도 영역을 형성하는 단계를 더 구비한다.

본 발명에 따른 반도체 장치의 제조 방법은, (a) 반도체 기판, 매립 절연층 및 실리콘층으로 이루어지는 SOI 구조의 SOI 기판을 준비하는 단계와, (b) 상기 실리콘층을 선택적으로 제거하여 관통시켜 관통부를 설치하는 단계와, (c) 상기 실리콘층의 상기 관통부에 상기 실리콘층의 표면으로부터 돌출하도록 제1 절연막을 매립함과 함께, 상기 실리콘층 상에 제2 절연막을 선택적으로 형성하는 단계와, (d) 상기 제2 절연막이 형성되어 있지 않은 상기 실리콘층의 표면으로부터 상층에 걸쳐 에피택셜 성장시켜 에피택셜 성장

층을 형성하는 단계를 구비하고, 상기 실리콘층과 상기 에피택셜 성장층에 의해 SOI층이 구성되며, 상기 제2 절연막과 그 하층의 상기 실리콘층에 의해 부분 분리 영역이 구성되고, 상기 제1 절연막에 의해 완전 분리 영역이 구성되며, (e) 상기 부분 분리 영역 혹은 상기 완전 분리 영역에 의해 소자 분리되는 복수의 소자 형성 영역 각각에 소정의 소자를 형성하는 단계를 더 구비하고 있다.

본 발명에 따른 반도체 장치의 제조 방법은, (a) 반도체 기판, 매립 절연층 및 SOI층으로 이루어지는 SOI 구조의 SOI 기판을 준비하는 단계와, (b) 상기 SOI층을 선택적으로 제거하고, 각각 이 상기 SOI층을 관통한 제1 및 제2 트랜치로 이루어지는 복수의 트랜치를 형성하는 단계를 구비하고, 상기 복수의 트랜치 사이의 상기 SOI층의 영역이 복수의 소자 형성 영역으로 되고, (c) 상기 제1 및 제2 트랜치 중, 상기 제1 트랜치 내의 저면 및 측면 상에 폴리실리콘층을 선택적으로 퇴적하는 단계와, (d) 상기 제1 및 제2 트랜치에 절연막을 매립하는 단계와, (e) 상기 제1 트랜치 내의 상기 폴리실리콘층을, 상기 제1 트랜치의 개구부로부터 저면의 방향으로 부분적으로 산화시키는 단계를 더 구비하고, 상기 제1 트랜치 내의 절연막과 상기 제1 트랜치 내에 산화되지 않고서 잔존한 상기 폴리실리콘층에 의해 부분 분리 영역이 구성되고, 상기 제2 트랜치 내의 절연막에 의해 완전 분리 영역이 구성되고, (f) 상기 복수의 소자 형성 영역 각각에 소정의 소자를 형성하는 단계를 더 구비하고 있다.

본 발명에 따른 반도체 장치의 제조 방법은, (a) 반도체 기판, 매립 절연층 및 SOI층으로 이루어지는 SOI 구조의 SOI 기판을 준비하는 단계와, (b) 상기 SOI층을 선택적으로 제거하여 복수의 소자 형성 영역을 형성하는 단계와, (c) 상기 복수의 소자 형성 영역을 마스크하면서, 상기 매립 절연층에 대해 등방성 에칭을 실시하고, 상기 복수의 소자 형성 영역 중 적어도 1개의 소자 형성 영역의 단부 이면을 노출시키면서, 상기 매립 절연층의 상층부를 제거하여 구멍부를 형성하는 단계와, (d) 상기 구멍부를 폴리실리콘층으로 매립하고, 상기 폴리실리콘층을 포함하고, 상기 적어도 1개의 소자 형성 영역의 단부 저면에 전기적 접속 관통홀을 갖는 보디 영역을 형성하는 단계와, (e) 상기 SOI층 내에서 상기 복수의 소자 형성 영역을 절연 분리하는 단계와, (f) 상기 보디 영역을 외부로부터 전위 고정 가능하게 할과 함께, 상기 복수의 소자 형성 영역 각각에 소정의 소자를 형성하는 단계를 더 구비하고 있다.

본 발명에 따른 반도체 장치의 제조 방법에 있어서, 상기 단계 (d)는, (d-1) 상기 적어도 1개의 소자 형성 영역의 단부 이면으로부터 에피택셜 성장시켜서, 상기 구멍부에 에피택셜 성장층을 형성하는 단계와, (d-2) 상기 에피택셜 성장층에 접하도록, 상기 구멍부를 상기 폴리실리콘층으로 매립하고, 상기 에피택셜 성장층과 상기 폴리실리콘층으로 이루어지는 상기 보디 영역을 형성하는 단계를 구비하고 있다.

본 발명에 따른 반도체 장치의 제조 방법에 있어서, 상기 단계 (d)는, (d-1) 상기 SOI층의 상층부에 불순물 농도 분포의 피크가 존재하고, 또한 채널링 현상이 생기도록 소정의 도전형의 불순물을 도입하여 상기 소정의 소자의 활성 영역을 형성하는 단계를 포함한다.

본 발명에 따른 반도체 장치의 제조 방법은, (a) 반도체 기판, 매립 절연층 및 SOI층으로 이루어지는 SOI 구조의 SOI 기판을 준비하는 단계와, (b) 상기 SOI층을 선택적으로 표면에서 관통시켜 적어도 1개의 제1 트랜치를 형성하는 단계와, (c) 상기 SOI층을 선택적으로 표면으로부터 관통시키지 않고 복수의 제2 트랜치를 형성하는 단계를 구비하고, 상기 복수의 제2 트랜치 사이의 상기 SOI층의 영역이 복수의 소자 형성 영역이 되고, 상기 복수의 제2 트랜치는 복합 트랜치와 비관통 트랜치를 포함하며, 상기 복합 트랜치는 상기 적어도 1개의 제1 트랜치를 포함하고 상기 적어도 하나의 제1 트랜치의 형성측보다 넓게 형성됨으로써, 상기 제1 트랜치 형성부의 관통부와 상기 제1 트랜치 형성부 이외의 비관통부로 이루어지며, 상기 비관통 트랜치는 상기 적어도 1개의 제1 트랜치를 포함하지 않고 비관통부만으로 형성되고, (d) 상기 복합 트랜치 및 비관통 트랜치 각각에 절연막을 매립하는 단계를 더 구비하고, 상기 복합 트랜치의 상기 비관통부의 절연막 및 상기 비관통부 하의 상기 SOI층으로 이루어지는 부분 분리부와 상기 관통부의 절연막으로 이루어지는 완전 분리부로부터 복합 분리 영역이 구성되며, 상기 비관통 트랜치 내의 절연막과 그 하층의 상기 SOI층에 의해 부분 분리 영역이 구성되고, (e) 상기 복수의 소자 형성 영역 각각에 소정의 소자를 형성하는 단계를 더 구비하고 있다.

본 발명에 따른 반도체 장치의 설계 방법은, 반도체 기판, 매립 절연층 및 SOI층으로 이루어지며, 상기 SOI층에 CMOS 디바이스가 형성되는 반도체 장치를 설계하는 방법으로서, (a) 웰 영역 내 형성되는 제1 도전형의 제1 MOS 트랜지스터와 상기 웰 영역 밖에 형성되는 제2 도전형의 제2 MOS 트랜지스터로 이루어지는 CMOS 디바이스의 과거 데이터를 얻는 단계와, (b) 상기 과거 데이터에 기초하여 제1 및 제2 MOS 트랜지스터의 형성 영역을 설정하는 단계와, (c) 상기 과거 데이터에 있어서의 상기 웰 영역의 외주 근방 영역에, 상기 SOI층을 관통하는 완전 절연 영역으로 이루어지는 완전 분리 영역을 설정하는 단계와 구비하고 있다.

### 본 발명의 구성 및 작용

#### <<실시 형태 1>>

도 1~도 3은 본 발명의 실시 형태 1인 SOI 구조의 반도체 장치의 구성을 나타낸 도면이다. 도 1 및 도 2는 단면도, 도 3은 평면도이고, 도 3의 A-A 단면 및 B-B 단면이 각각 도 1 및 도 2로 된다.

이들 도면에 도시한 바와 같이, 실리콘 기판(1), 매립 산화막(2) 및 SOI층으로 이루어지는 SOI 구조의 반도체 장치에 있어서의 SOI층(3)의 각 트랜지스터 형성 영역은 하층부에 웰 영역이 형성되는 부분 산화막(31)에 의해 분리된다. 그리고, NMOS 트랜지스터 사이를 분리하는 부분 산화막(31)의 하층에 p형의 웰 영역(11)이 형성되고, PMOS 트랜지스터 사이를 분리하는 부분 산화막(31)의 하층에 n형의 웰 영역(12)이 형성되고, NMOS 트랜지스터, PMOS 트랜지스터 사이를 분리하는 부분 산화막(31)의 하층에 p형의 웰 영역(11: NMOS 트랜지스터측) 및 n형의 웰 영역(12: PMOS 트랜지스터측)이 형성된다. 또, 웰 영역(11)은 NMOS 트랜지스터군의 드레인 영역(5) 및 소스 영역(6)을 둘러싸도록 형성되고, 웰 영역(12)은 PMOS 트랜지스터군의 드레인 영역(5) 및 소스 영역(6)을 둘러싸도록 형성된다. 또한, 실시 형태 1에서는 SOI층(3) 상을 절연막(4)으로 덮고 있다.

실시 형태 1에 있어서, 부분 산화막(31)에 따라서 다른 트랜지스터로부터 분리되는 1단위의 MOS 트랜지스

터는, S01층(3) 중에 형성되는 드레인 영역(5), 소스 영역(6) 및 채널 형성 영역(7), 채널 형성 영역(7) 상에 형성되는 게이트 산화막(8), 게이트 산화막(8) 상에 형성되는 게이트 전극(9)으로 구성된다. 또한, 층간 절연막(4) 상에 형성된 배선층(22)은, 층간 절연막(4) 중에 설치된 콘택트(21)를 통해 드레인 영역(5) 혹은 소스 영역(6)과 전기적으로 접속된다.

또한, 도 2 및 도 3에 도시한 바와 같이, S01층(3) 중의 웰 영역(11) 사이에 보디 영역(10)이 형성되고, 보디 영역(10)은 인접하는 웰 영역(11)에 접하고 있다. 그리고, 층간 절연막(4) 상에 형성된 배선층(25)은, 층간 절연막(4) 중에 설치된 보디 콘택트(23)를 통해 보디 영역(10)과 전기적으로 접속된다. 또한, 층간 절연막(4) 상에 형성된 배선층(26)은, 층간 절연막(4) 중에 설치된 게이트 콘택트(24)를 통해 게이트 전극(9)과 전기적으로 접속된다.

이와 같이, 실시 형태 1의 반도체 장치에서는, 도 1~도 3에 도시한 바와 같이, 도 10에서 도시한 종래 구성과 달리 소자 분리 영역의 부분 산화막(31)이 S01층(3)의 하부에까지 도달하지 않고, 분리 대상이 되는 트랜지스터의 채널 형성 영역과 동일한 도전형의 불순물이 도입된 웰 영역(11, 12)이 부분 산화막(31)의 하층에 설치된다.

따라서, 각 트랜지스터의 기판 전위의 고정율, 배선층(25), 보디 콘택트(23), 고농도의 보디 영역(10) 및 웰 영역(11)을 통해 행할 수 있다. 또, PMOS 트랜지스터측도 마찬가지로, 보디 영역을 통해 각 트랜지스터의 기판 전위를 고정할 수 있다.

이하, 도 1~도 3을 참조하여 그 상세를 설명한다. 매립 산화막(2)의 막 두께는 예를 들면 100~500nm 정도이고, S01층(3)의 막 두께는 30~200nm 정도이다. 채널 형성 영역(7)은, 예를 들면  $10^{17} \sim 10^{18}/\text{cm}^2$  정도의 제1 도전형의 불순물(NMOS에서는 p형 불순물, PMOS에서는 n형 불순물)의 도입에 의해 형성된다. 드레인 영역(5) 및 소스 영역(6)은 채널 형성 영역(7)과 인접하여, 예를 들면  $10^{18} \sim 10^{19}/\text{cm}^2$  정도의 제2도전형의 불순물(NMOS에서는 n형 불순물, PMOS에서는 p형 불순물)의 도입에 의해 형성된다.

인접하는 트랜지스터 사이를 분리하는 부분 산화막(31)은 S01층(3)의 하층부를 웰 영역 형성용으로 예를 들면 10~100nm 정도 남겨 형성된다. 부분 산화막(31)의 상면 높이는 S01층(3)의 표면 높이와 동일한 것이 미세 가공 상 바람직하지만, S01층(3)이 얇은 경우에는 소자 분리에 필요한 부분 산화막(31)의 막 두께를 취하는 것이 어렵기 때문에, S01층(3)보다 위로 들어 올린 쪽이 소자 분리 성능이 향상한다.

그리고, 산화막 분리용의 부분 산화막(31)의 하부에는 채널 형성 영역과 동일한 도전형의 웰 영역(11, 12 : 예를 들면  $10^{17} \sim 5 \cdot 10^{18}/\text{cm}^2$ 의 불순물 농도, 불순물 농도는 채널 형성 영역과 동일하거나 그 이상, 농도가 높을수록 전치스투를 방지할 수 있어 분리 성능은 좋게 된다)이 설치되어 있다.

또한, 보디 영역(10)은, 도 2에 도시한 바와 같이, 인접하는 웰 영역(11)과 동일한 도전형으로  $10^{18} \sim 10^{19}/\text{cm}^2$ 의 고농도의 불순물이 도입된다.

또, 도 2의 보디 영역(10)은, S01층(3)의 상면으로부터 하면에 걸쳐 보디 영역(10)을 형성하고, 층간 절연막(4)을 관통하여 보디 콘택트(23)를 형성하였지만, 도 4와 마찬가지로 보디 영역을 형성하여도 좋다.

도 4의 예에서는, 보디 콘택트(23)의 형상에 합쳐서 S01층(3)의 하층부에만 보디 영역(20)을 형성하고, 층간 절연막(4) 및 부분 산화막(31)을 관통하여 보디 콘택트(23)를 형성하게 된다. 이 경우, 보디 영역(20)에 인접하여 부분 산화막(31) 아래에 웰 영역(28)이 형성된다.

단, 도 4의 구조를 형성하는 경우에는 콘택트 개구 후에 보디 영역(20)을 형성하기 위한 고농도 불순물 주입을 행하는 것이 바람직하다.

여기서, 동일한 도전형의 소자 분리에 있어서는, 웰 영역(11, 12)은 채널 형성 영역의 도전형과 동일한 불순물을 도입하여 형성하는 것만이어도 좋지만, 도 1에 도시한 바와 같이, PMOS와 NMOS에 걸친 분리에 있어서는 NMOS 인접부에서 p형의 웰 영역(11), PMOS 인접부에서 n형의 웰 영역(12)을 설치할 필요가 있다.

이러한 S01 구조는 후술하는 실시 형태 2의 부분 트렌치에 의한 분리법을 이용하여 제조할 수 있다.

## <<실시 형태 2>>

### <제1 형태>

도 5는 본 발명의 실시 형태 2인 S01 구조의 반도체 장치의 제1 형태의 구조를 나타낸 단면도이다.

도 5에 도시한 바와 같이, 실시 형태 2에서는 NMOS 트랜지스터 및 PMOS 트랜지스터 각각의 내부의 트랜지스터 분리를 부분 산화막(31)과 그 하층의 웰 영역(11)(12)에 의해 행하고, 한편, PMOS 트랜지스터, NMOS 트랜지스터 사이의 분리를 완전 산화막(32)에 따라서 행하고 있다. 이러한 구성으로 함으로써, 실시 형태 1의 구조에 비교하여, PMOS, NMOS 사이의 분리폭을 작게 할 수 있거나, 래치업을 방지할 수 있다.

도 5의 구조를 실현할 때에는, 소스 영역(6), 드레인 영역(5)을 이온 주입으로 형성할 때에, 주입 이온이 부분 산화막(31)을 빠져 나가, 원래는 드레인 영역(5) 및 소스 영역(6)과 반대의 도전 형식으로 할 필요가 있는 부분 산화막(31) 하의 웰 영역(11)(12)에, 드레인 영역(5) 및 소스 영역(6)용의 불순물이 도입됨으로써, 부분 산화막(31) 및 웰 영역(11)에 의한 분리 특성이 손상될 우려가 있다.

### <제2 형태>

이것을 회피하기 위해서는, 도 6에 도시한 제2 형태로 나타낸 바와 같이, 형성 깊이가 S01층(3)의 막 두께보다 충분히 얇은 드레인 영역(5s) 및 소스 영역(6s)을 형성하는 쪽이 바람직하다. 즉, 부분 산화막(31)의 하면보다도 드레인 영역(5s) 및 소스 영역(6s)을 얇게 형성하면 좋다. 도 6과 같이, 형성 깊이가 얇은 드레인 영역(5s) 및 소스 영역(6s)을 형성하기 위해서는, 저에너지 이온 주입에 의해 소스,

드레인 영역(6, 5)을 형성하면 좋다.

또, 드레인 영역(5s) 및 소스 영역(6s)의 형성 깊이는, 빌트 인 상태(PN 접합에 걸쳐 있는 바이어스 전압이 0일 때의 상태)에서, 소스/드레인으로부터의 공핍층이 매립 산화막(2)까지 도달한다고 하는 조건을 만족하는 깊이로 형성하는 것이 이상적이다.

왜냐하면, 빌트 인 상태에서, 소스/드레인 공핍층이 매립 산화막(2)까지 도달하기 때문에, 소스/드레인 영역(5s/6s)와 웰 영역(11(12))과의 접합 용량의 저감화를 도모하면서, 부분 산화막(31) 및 웰 영역(11(12))에 의한 부분 분리 영역에 의한 분리 특성의 향상을 도모할 수 있기 때문이다.

#### <제3 형태>

또 여기서, 도 7에 도시한 실시 형태 2의 제3 형태와 같이, 하층부의 일부가 웰 영역(29)으로 되지만 S01층(3)의 상면으로부터 하면에 걸쳐서 산화막(33)을 이용하여 NMOS 트랜지스터, PMOS 트랜지스터 사이를 완전 분리하는 것도 가능하다. 제3 형태에서는 산화막(33)용의 트렌치를 부분 산화막(31)용의 트렌치와 함께 설치하여 형성하기 쉬운 만큼, 완전 산화막(32)에 의한 분리보다 레미아웃이 용이하게 될 가능성이 높다.

이하, 산화막(33)에 의한 완전 분리를, S01층(3)을 관통한 관통부의 산화막(33)에 의한 완전 분리 영역과, S01층(3)을 관통하지 않는 비관통부의 산화막(33)과 그 하층의 S01층(3)인 웰 영역(29)에 의한 부분 분리 영역이 연속하여 형성되는 복합 분리 영역에 의한 분리라 칭하는 경우가 있다.

#### <제4 형태>

또한, 도 55에 도시한 제4 형태와 같이, 단독으로 부분 분리를 행하는 부분 산화막(31)과 복합 분리 영역의 산화막(33)의 상면은 요철이 없이 균일하게 되도록 형성함으로써, 게이트 전극(9)의 형성 시의 패터닝이 용이하게 되는 효과를 발휘한다.

#### <제5 형태>

도 56은 도 7에서 도시한 복합 분리 영역의 산화막(33)의 구조의 상세를 나타낸 단면도이다. 상기 도면에 도시한 바와 같이, 산화막(33)은 중심부(관통부)가 S01층(3)의 상면으로부터 하면에 도달하여 형성되지만 주변부(비관통부)는 하면에 도달하지 않고 형성된다. 산화막(33)의 주변부의 아래쪽으로 잔존하는 S01층(3)의 일부가 웰 영역(29)으로 된다. 이러한 구조의 산화막(33)에 있어서, 산화막(33)의 주변부 아래의 S01층(3: 웰 영역 29)의 막 두께 TB와, 웰 영역(29)으로부터 상층의 S01층(3)의 막 두께 TA 사이에, TA>TB가 성립하도록 형성한다. 즉, S01층(3)의 막 두께(TA+TB)의 반 미만으로 웰 영역(29)의 막 두께를 설정한다.

제5 형태와 같이 TA>TB가 성립하도록 형성하면, 산화막(33)의 분리에 의한 임계치 전압(산화막 33을 게이트 산화막이라고 판단한 때의 임계치 전압)을 충분히 상승시켜서, 충분히 고도한 분리 내성을 얻을 수 있고, 웰 영역(29)에 접하여 형성되는 드레인/소스 영역과 웰 영역(29)과의 PN 접합 면적을 충분히 저하시킴으로써 누설 전류의 발생을 억제하고, 상기 PN 접합 용량을 저하시킴으로써 고속 동작이 가능해진다.

#### <제6 형태>

도 57은 도 7에서 도시한 산화막(33)의 구조의 상세를 나타낸 단면도이다. 상기 도면에 도시한 바와 같이, S01층(3)의 상면으로부터 하면에 도달하여 형성되는 산화막(33)의 중심부의 형성폭인 완전 분리폭 WC와, 산화막(33) 전체의 산화막 분리폭 WD 사이에, WC<WD/2가 성립하도록 형성한다.

제6 형태와 같이 구성함으로써, 산화막(33)의 주변부 하에 형성되는 웰 영역(29)의 면적을 충분히 확보할 수 있기 때문에, 웰 영역(29)을 통해 기판 부유 효과를 충분히 억제하는 레벨로 트랜지스터의 기판 전위 고정을 도모할 수 있고, 그 결과, 트랜지스터의 안정 동작을 가능하게 한다.

또한, 완전 분리폭 WC를 칩 내에서 동일하게 함으로써, 분리 형상 관리가 용이하게 된다. 또한, 산화막(33)의 패터닝만 할 수 있으면 소자 사이를 전기적으로 완전 분리할 수 있기 때문에, 완전 분리폭 WC를 최소 디자인폭으로 설정할 수 있어, 칩 면적을 필요 최소한까지 저감시켜 집적도의 대폭적인 향상을 도모할 수 있다.

#### <기타>

실시 형태 2에서는, 적어도 NMOS 트랜지스터, PMOS 트랜지스터 사이를 완전 분리하는 구조를 나타내었지만, 그 이외에도, 메모리 존재 논리 회로에 있어서, 잡음 대책을 위해 메모리부와 논리 회로부 사이를 완전 분리하는 구조도 생각된다.

또한, 완전 분리 영역과 부분 분리 영역을 병용하는 대신에, 형성 깊이가 다른 산화막을 이용하여 복수종의 부분 분리를 행하는 방법도 생각된다. 이 경우, 형성 깊이가 깊은 산화막 하의 웰 영역에는 보디 영역 등의 보디 콘택트 재료를 접속하지 않고 부유 상태로 하여 완전 분리 영역으로서 이용하는 것도 가능하다.

#### <제1 제조 방법 (제1 및 제2 형태)>

도 8~도 11은 실시 형태 2의 제1 및 제2 형태에 있어서의 제조 방법의 소자 분리 공정을 나타낸 단면도이다. 도 8~도 11에서 도시한 방법은 부분 트렌치 분리와 완전 트렌치 분리를 병용에 따른 방법이다.

우선, 도 8에 도시한 바와 같이, 산소 이온 주입에 의해 매립 산화막(2)을 형성하는 SIMOX법에 의해 형성한, 실리콘 기판(1), 매립 산화막(2) 및 S01층(3)으로 이루어지는 S01 기판을 출발 재료로 한다. 통상, S01층(3)의 막 두께는 50~200nm, 매립 산화막(2)의 막 두께는 100~400nm로 된다.

그리고, 도 9에 도시한 바와 같이, S01 기판 상에, 20nm 정도의 산화막(41)과 200nm 정도의 질화막(42)을 순차 퇴적한 후, 패터닝한 레지스트(43)를 마스크로 하여 분리 영역을 패터닝하고, 질화막(42),

산화막(41), S01층(3)의 다출막을, S01층(3)의 하층부가 잔존하도록 에칭하여 복수의 부분 트랜치(44)를 형성한다. 복수의 부분 트랜치(44)는, 소정의 폭으로 실리콘 기판(1)에 대해 거의 수직 방향으로 연장되어 형성되기 때문에, 집적도를 손상하지 않고 미세화를 유지한 소자 분리를 행할 수 있다. 이 상태에서, 도 12에 도시한 바와 같이 고농도 웰 영역(52: 웰 영역 11, 12에 상당) 형성을 위해, 이온 주입을 행하면 분리 내압을 보다 높일 수 있다.

다음에, 도 10에 도시한 바와 같이, 복수의 부분 트랜치(44) 중, 일부를 덮도록 레지스트(45)를 형성하여, 레지스트(45)로 덮이지 않은 부분 트랜치(44)를 더욱 에칭함으로써, S01층(3)을 관통시킨 완전 트랜치(48)를 형성한다.

다음에, 도 11에 도시한 바와 같이, 500nm 정도의 산화막을 퇴적하고, 통상의 트랜치 분리와 마찬가지로 CMP 처리에 의해 질화막(42)의 도중까지 연마하고, 그 후, 질화막(42), 산화막(41)의 제거를 행함으로써, 부분 산화막(31) 및 그 아래의 S01층(3: 웰 영역)과 완전 산화막(32)이 선택적으로 형성된 구조를 얻을 수 있다. 이와 같이, CMP 처리에 의한 산화막을 연마함으로써, 부분 산화막(31) 및 완전 산화막(32)의 상면을 요철을 균일하게 형성할 수 있다. 또, 도 9의 구조를 얻은 후, 도 12에서 도시한 이온 주입을 행한 경우에는, 도 13에 도시한 바와 같이, 부분 산화막(31) 아래에 고농도 웰 영역(52)이 형성되게 된다. 고농도 웰 영역(52)에 의해 안정성 있게 기판 전위를 고정할 수 있다.

이하, 기존의 방법으로, NMOS 트랜지스터 형성 영역에 NMOS 트랜지스터를 형성하고, PMOS 트랜지스터 형성 영역에 PMOS 트랜지스터를 형성함으로써, 도 5에서 도시한 제1 형태의 S01 구조, 혹은 도 6에서 도시한 제2 형태의 S01 구조를 얻을 수 있다.

또한, 도 10에서 도시한 공정을 생략하여 다른 공정을 상술한 바와 같이 실시하면, 전체가 부분 트랜치(44)로 되기 때문에, 도 1~도 3에서 도시한 실시 형태 1의 구조(전체가 부분 산화막 31에 의해 소자 분리된 구조)를 얻을 수 있다.

#### <제2 제조 방법 (제1 및 제2 형태) >

도 14~도 18은 실시 형태 2의 제1 및 제2 형태에 있어서의 제조 방법의 소자 분리 공정을 나타낸 단면도이다. 도 14~도 18에서 도시한 방법은 부분 트랜치 분리와 완전 트랜치 분리를 병용에 따른 방법이다.

우선, 도 14에 도시한 바와 같이, 실리콘 기판(1), 매립 산화막(2) 및 실리콘층(50)으로 이루어지는 적층 구조를 출발 재료로 한다. 이 때, 실리콘층(50)은 최종적으로 얻어지는 S01층(3)의 막 두께보다도 얇게 한다.

그리고, 도 15에 도시한 바와 같이, S01 기판 상에, 산화막(41)과 질화막(42)을 순차 퇴적한 후, 패터닝한 레지스트(46)를 마스크로 하여 분리 영역의 패터닝 처리를 행하고, 실리콘층(50)의 표면이 노출하도록 질화막(42) 및 산화막(41)을 에칭하여 복수의 부분 트랜치(44)를 형성한다.

다음에, 도 16에 도시한 바와 같이, 복수의 부분 트랜치(44) 중, 일부를 덮도록 레지스트(49)를 형성하여, 레지스트(49)로 덮이지 않은 부분 트랜치(44)를 더욱 에칭함으로써, 실리콘층(50)을 관통시킨 완전 트랜치(48)를 형성한다.

다음에, 도 17에 도시한 바와 같이, 산화막을 퇴적하고, 통상의 트랜치 분리와 마찬가지로 CMP 처리에 의해 질화막(42)의 도중까지 연마하고, 그 후, 질화막(42), 산화막(41)의 제거를 행함으로써, 부분 산화막(31) 및 그 아래의 실리콘층(50) (웰 영역)과 완전 산화막(32)이 선택적으로 형성된 구조를 얻을 수 있다.

그리고, 도 18에 도시한 바와 같이, 실리콘층(50)으로부터 에피택셜 성장시켜 에피택셜 실리콘층(51)을 형성함으로써, 실리콘층(50) 및 에피택셜 실리콘층(51)으로 이루어지는 결정성이 양호한 S01층(3)을 얻는다.

이하, 기존의 방법으로, NMOS 트랜지스터 형성 영역에 NMOS 트랜지스터를 형성하고, PMOS 트랜지스터 형성 영역에 PMOS 트랜지스터를 형성함으로써, 도 5에서 도시한 제1 형태의 S01 구조, 혹은 도 6에서 도시한 제2 형태의 S01 구조를 얻을 수 있다.

#### <제3 제조 방법 (제3 형태)>

도 19~도 22는 실시 형태 2의 제3 형태의 제조 방법에 있어서의 소자 분리 공정을 나타낸 단면도이다. 도 19~도 22에서 도시한 방법은 형성폭이 다른 부분 트랜치 형성에 의한 방법이다.

우선, 도 19에 도시한 바와 같이, 비교적 폭이 넓은 부분 트랜치(44A)와 비교적 폭이 좁은 부분 트랜치(44B)를 형성한다. 부분 트랜치(44A)가 완전 분리용이고, 부분 트랜치(44B)가 부분 분리용이다. 이 때, S01층(3)의 하층의 일부가 남도록 부분 트랜치(44A 및 44B)는 형성된다.

다음에 도 20에 도시한 바와 같이, 산화막(47)에서 부분 트랜치(44A 및 44B)의 측면에, 부분 트랜치(44B)의 저면은 막지만 부분 트랜치(44A)의 저면 중심부가 노출하도록 측벽을 형성한다. 이것은, 부분 트랜치(44B)의 형성폭이 부분 트랜치(44A)의 형성폭보다 좁은 것을 이용하고 있다.

다음에, 도 21에 도시한 바와 같이, 산화막(47)을 마스크로 하여, S01층(3)에 대한 실리콘 에칭을 행함으로써, 부분 트랜치(44A)의 저면의 중심부 아래의 S01층(3)을 포함하는, 상부에 산화막(47)이 형성되어 있지 않은 S01층(3)이 제거되고, 매립 산화막(2)의 표면이 노출한다.

다음에, 도 22에 도시한 바와 같이, 500nm 정도의 산화막을 퇴적하고, 통상의 트랜치 분리와 마찬가지로 CMP 처리에 의해 질화막(42)의 도중까지 연마하고, 그 후, 질화막(42), 산화막(41)의 제거를 행함으로써, 부분 산화막(31) 및 그 아래의 S01층(3)과 산화막(33: 및 그 일부 아래의 S01층 3)이 선택적으로 형성된 구조를 얻을 수 있다.

이하, 기존의 방법으로, NMOS 트랜지스터 형성 영역에 NMOS 트랜지스터를 형성하여, PMOS 트랜지스터 형



성 영역에 PMOS 트랜지스터를 형성함으로써, 도 7에 도시한 실시 형태 2의 제3 형태의 SOI 구조를 얻을 수 있다.

#### <제4 제조 방법 (제3 형태)>

도 23~도 27은 실시 형태 2의 제3 형태의 제조 방법에 있어서의 소자 분리 공정을 나타낸 단면도이다. 도 23~도 27에 도시한 방법은 형성폭이 다른 부분 트렌치 형성에 의한 방법이다.

우선, 도 23에 도시한 바와 같이, 실리콘 기판(1), 매립 산화막(2) 및 SOI층(3)으로 이루어지는 SOI 기판을 출발 재료로 한다.

그리고, 도 24에 도시한 바와 같이, 비교적 폭이 넓은 부분 트렌치(44A)와 비교적 폭이 좁은 부분 트렌치(44B)를 형성한다. 부분 트렌치(44A)가 완전 분리용이고, 부분 트렌치(44B)가 부분 분리용이다. 이 때, SOI층(3)의 하층의 일부가 남도록 부분 트렌치(44A 및 44B)는 형성된다.

다음에, 도 25에 도시한 바와 같이, 부분 트렌치(44B) 내 전체를 충전하고, 부분 트렌치(44A)의 측벽을 덮도록, 레지스트(49)를 패터닝한다. 따라서, 부분 트렌치(44A)의 저면 중심부가 확실하게 노출하고 있다.

그 후, 도 26에 도시한 바와 같이, 레지스트(49)를 마스크로 하여, SOI층(3)에 대한 실리콘 에칭을 행함으로써, 부분 트렌치(44A)의 저면의 중심부 아래의 SOI층(3)을 포함하는, 레지스트(49)가 상부에 형성되어 있지 않은 SOI층(3)이 제거되고, 매립 산화막(2)의 표면이 노출한다.

다음에, 도 27에 도시한 바와 같이, 산화막을 퇴적하고, 통상의 트렌치 분리와 마찬가지로의 수법으로 CMP 처리에 의해 질화막(42)의 도중까지 연마하고, 그 후, 질화막(42), 산화막(41)의 제거를 행함으로써, 부분 산화막(31) 및 그 아래의 SOI층(3)과 산화막(33) 및 그 아래의 SOI층(3)과 선택적으로 형성된 구조를 얻을 수 있다.

#### <제5 제조 방법 (제3 형태)>

도 58~도 62는 실시 형태 2의 제3 형태의 제조 방법에 있어서의 소자 분리 공정을 나타낸 단면도이다.

우선, 도 58에 도시한 바와 같이, 실리콘 기판(1), 매립 산화막(2) 및 SOI층(3)으로 이루어지는 SOI 기판을 출발 재료로 한다.

그리고, 도 59에 도시한 바와 같이, SOI 기판 상에, 산화막(41)과 질화막(42)을 순차 퇴적한 후, 패터닝한 레지스트(213)를 마스크로 하여 분리 영역의 패터닝 처리를 행하고, 매립 산화막(2)의 표면이 노출하도록 질화막(42), 산화막(41) 및 SOI층(3)을 에칭에 의해 관통하여 복수의 트렌치(214)를 형성한다.

다음에, 도 60에 도시한 바와 같이, 잔존한 질화막(42) 상에 선택적으로 레지스트(215)를 형성한다. 이 때, 복수의 트렌치(214) 각각을 포함하고 트렌치(214)의 형성폭보다 넓은 영역이 개구부가 되도록 레지스트(215)를 형성한다.

도 61에 도시한 바와 같이, 레지스트(215)를 마스크로 하여 질화막(42) 및 산화막(41)과 SOI층(3)의 일부를 에칭함으로써, 하층에 SOI층(3)이 잔존한 부분 트렌치(216)와, 중심부의 하층이 SOI층(3)을 관통한 관통부와 그 이외의 하층에 SOI층(3)이 잔존한 비관통부로 이루어지는 복합 트렌치(217)를 동시에 형성한다.

그 후, 도 62에 도시한 바와 같이, HDP(고밀도 플라즈마) CVD 쪽 등에 의해 산화막을 퇴적하고, 통상의 트렌치 분리와 마찬가지로의 수법으로 CMP 처리에 의해 질화막(42)의 도중까지 연마하고, 그 후, 질화막(42), 산화막(41)의 제거를 행함으로써, 부분 산화막(31) 및 그 아래의 SOI층(3)과 산화막(33) 및 그 일부 아래의 SOI층(3)과 선택적으로 형성된 구조를 얻을 수 있다.

#### <제6 제조 방법 (제3 형태)>

제조 방법의 극단적인 예로서, 부분 분리에 의해 소자 분리된 트랜지스터의 게이트 전극 형성 후, 혹은 컨택트나 배선 등의 후속 공정의 실시 단계에서, 부분 분리 영역을 SOI층(3)을 관통하도록 에칭 제거하고, 그 후 산화막을 매립하여 완전 분리 영역으로 변경하는 것도 가능하다.

#### <기타>

상기 실시 형태 2의 제조 방법은, 트렌치 분리법으로서 SiN/SiO<sub>2</sub>의 적층을 SOI층 상에 형성하여, 소자 분리용의 산화막의 매립을 행하였지만, 다른 방법, SiN/SiO<sub>2</sub>의 적층을 대신하여, 예를 들면 SiN/poly-Si/SiO<sub>2</sub>에 의한 적층을 이용하며 매립 후 산화를 행하고, 트렌치의 라운딩을 행하는 등, 보다 다양한 방법을 행하여도 마찬가지로의 효과를 나타내는 것은 물론이다.

#### <<실시 형태 3>>

##### <제1 형태>

도 28은 본 발명의 실시 형태 3인 SOI 구조의 반도체 장치의 제1 형태의 구조를 나타낸 단면도이다.

도 28에 도시한 바와 같이, 집적성이 요구되지(부분 산화막 31은 하층에 웰 영역을 형성하는 관계로 완전 산화막 32보다 집적도가 약간 뒤떨어진다)만 기판 부유 효과의 영향이 적은 회로(제1 회로)의 형성 영역을 완전 산화막(32)을 이용한 완전 분리 구조로 하고, 기판 부유 효과의 영향이 문제가 되는 회로(제2 회로)의 형성 영역에는 부분 산화막(31) 및 그 하층의 웰 영역(12)을 이용한 부분 분리 구조로 하고, 제1, 제2 회로의 형성 영역 사이의 분리는 완전 산화막(32)을 이용한 완전 분리 구조로 하고 있다.

또한, 그 이외에 제1 회로로서, 조밀 구조가 요구되는 SRAM, DRAM 등의 메모리셀 부분의 회로, 제2 회로로서 메모리셀 부분 이외의 회로가 있다.

도 28에 도시한 바와 같이, 제1 회로예로서는, 내부 회로 및 디지털 회로 등이 있고, 제2 회로 회로의 예로서는, I/O 버퍼 회로, 아날로그 회로(PLL 회로, 센스 앰프 회로) 등이 있다. 또한, 제2 회로예로서, 타이밍 회로, 다이내믹 회로 등이 있다.

이와 같이, 실시 형태 3의 제1 형태는, 설치되는 회로의 기관 부유 효과의 영향도를 고려하여, 부분 산화막(31)에 의한 부분 분리와 완전 산화막(32)에 의한 완전 분리를 구별지어 사용함으로써, 기관 부유 효과의 억제와 집적도의 향상을 별론스 있게 행한 소자 분리 구조를 얻을 수 있다.

또, 도 28의 구조는, 실시 형태 2의 제조 방법의 그 1~그 4 등을 이용하여, 부분 산화막(31) 및 완전 산화막(32; 산화막 33)을 선택적으로 형성하며 소자 분리를 행하여 제1 회로 및 제2 회로를 형성함으로써 얻을 수 있다.

#### <제2 형태>

도 29는 본 발명의 실시 형태 3인 SOI 구조의 반도체 장치의 제2 형태의 구조를 나타낸 단면도이다. 상기 도면에 도시한 바와 같이, 완전 분리를 행하는 제1 회로 형성용의 부분 SOI층(38)의 막 두께를, 부분 분리를 행하는 제2 회로 형성용의 부분 SOI층(3A)의 막 두께보다도 얇게 하고 있다. 따라서, 부분 SOI층(38)에 형성되는 완전 산화막(34), 드레인 영역(5t), 소스 영역(6t) 및 채널 형성 영역(7t)의 막 두께도 얇게 된다.

제2 형태에서는, 제1 회로 형성용의 부분 SOI층(38)의 막 두께를 제2 회로 형성용의 부분 SOI층(3A)의 막 두께보다도 얇게 형성하였기 때문에, 동일한 트랜치 에칭 조건을 이용하여도, 부분 SOI층(3A)에는 부분 트랜치를 부분 SOI층(38)에는 완전 트랜치를 분리하여 형성할 수 있다. 따라서, 제조 방법 그 1의 도 10에 도시한 공정을 생략할 수 있는 등의 제조 방법의 간략화를 도모하여, 완전 분리 및 부분 분리를 각각 부분 SOI층(38) 및 부분 SOI층(3A) 상에서 행할 수 있다.

또한, 완전 분리, 부분 분리에 관계 없이, 기관 전위 고정미 요구되는 제2 회로인, I/O 버퍼 회로, 아날로그 회로(PLL, 센스 앰프), 타이밍 회로, 다이내믹 회로 등을 형성하는 SOI층의 막 두께는 두껍게 하는 것이 바람직하며, 그 점에서도 제2 형태는 이치에 맞으며, 특히 보호 회로에서는 막 두께에 의해 온도 상승을 억제할 수 있어 효과적이다.

#### <제3 형태>

또한, 실시 형태 3의 제3 형태로서, 노이즈 발생원이 되는 I/O 회로나 RF 회로와 다른 회로와의 분리는 적어도 완전 산화막(32)을 이용한 완전 분리를 행하고, 다른 부분의 분리는 부분 산화막(31)을 이용한 분리를 행함으로써, 내부 회로나 노이즈에 의한 아날로그 회로에의 노이즈의 영향을 줄이면서, 기관 부유 효과의 영향을 최소한으로 억제한 SOI 구조의 반도체 장치를 얻을 수 있다.

#### <<실시 형태 4>>

도 30 및 도 31은 본 발명의 실시 형태 4의 SOI 구조의 반도체 장치의 구조를 나타낸 단면도이다. 또, 도 30 및 도 31은 각각 실시 형태1의 도 3의 A-A 단면 및 B-B 단면에 상당한다.

상기 도면에 도시한 바와 같이, 실리콘 기관(1), 매립 산화막(2) 및 SOI층(3)으로 이루어지는 SOI 구조의 반도체 장치에 있어서의 SOI층(3)의 각 트랜지스터 형성 영역은 하층부에 웰 영역이 형성되는 부분 산화막(71)에 의해 분리된다. 그리고, NMOS 트랜지스터 사이를 분리하는 부분 산화막(71)의 하층에 p형의 폴리실리콘 영역(61)이 형성되고, PMOS 트랜지스터 사이를 분리하는 부분 산화막(71)의 하층에 n형의 폴리실리콘 영역(62)이 형성되고, NMOS 트랜지스터, PMOS 트랜지스터 사이를 분리하는 부분 산화막(71)의 하층에 p형의 폴리실리콘 영역(61: NMOS 트랜지스터측) 및 n형의 폴리실리콘 영역(62: PMOS 트랜지스터측)이 인접하여 형성된다.

또한, 도 31에 도시한 바와 같이, SOI층(3) 중의 폴리실리콘 영역(61) 사이에 보디 영역(10)이 형성되고, 보디 영역(10)은 인접하는 폴리실리콘 영역(61)에 접하고 있다. 그리고, 층간 절연막(4) 상에 형성된 배선층(25)은, 층간 절연막(4) 중에 설치된 보디콘택트(23)를 통해 보디 영역(10)과 전기적으로 접속된다.

이와 같이, 실시 형태 4의 반도체 장치는 부분 산화막(71) 아래로 형성되는 폴리실리콘 영역(61, 62)을 웰 영역으로서 이용하고, 보디 영역(10)을 통해 그 전위가 고정된다. 따라서, 채널 형성 영역(7)의 전위가 안정되어 기관 부유 효과를 저감시킬 수 있다.

또, 도 32에 도시한 바와 같이, NMOS 트랜지스터 및 PMOS 트랜지스터 각각의 내부의 트랜지스터 분리를 부분 산화막(71)과 그 하층의 폴리실리콘 영역(61, 62)에 의해서 행하고, 한편, PMOS 트랜지스터, NMOS 트랜지스터 사이의 분리를 완전 산화막(32)을 따라서 행하여도 좋다. 이러한 구성으로 함으로써, 도 30 및 도 31의 구조에 비교하여, PMOS, NMOS 사이의 분리폭을 작게 할 수 있거나, 래치업을 방지할 수 있다.

#### <제조 방법>

도 33~도 37은 실시 형태 4의 반도체 장치의 제조 방법에 있어서의 소자 분리 공정을 나타낸 단면도이다.

우선, 도 33에 도시한 바와 같이, 실리콘 기관(1), 매립 산화막(2) 및 SOI층(3)으로 이루어지는 SOI 기관을 출발 재료로 하고, SOI 기관 상에 산화막(41)과 질화막(42)을 순차 퇴적한 후, 패터닝한 레지스트(43)를 마스크로 하여 분리 영역을 패터닝하고, 질화막(42), 산화막(41), SOI층의 3D층막을 관통시켜 트랜치(53)를 형성한다.

그리고, 도 34에 도시한 바와 같이, 전면에 폴리실리콘층(65)을 막 두께 제어성 양호하게 퇴적한 후, 도 35에 도시한 바와 같이, 복수의 트랜치(53) 중, 일부를 덮도록 레지스트(66)를 형성하여, 레지스트(66)로 덮여지지 않는 트랜치(53) 내의 폴리실리콘층(65)을 에칭하여 제거함으로써, 완전 트랜치(48)를 형성한다.

다음에, 도 38에 도시한 바와 같이, 전면에 트렌치 매립용의 산화막을 퇴적하고, 통상의 트렌치 분리와 마찬가지로의 수법으로 CMP 처리에 의해 절화막(42)의 도중까지 연마하고, 그 후, 절화막(42), 산화막(41)의 제거를 행함으로써, 폴리실리콘 영역(67) 및 그 내부에 잔존하는 산화막(68)과 완전 산화막(32)이 선택적으로 형성된 구조를 얻을 수 있다.

그리고, 도 37에 도시한 바와 같이, 폴리실리콘 영역(67)을 산화시킴으로써, 산화막(68)과 폴리실리콘 영역(67)이 산화된 영역으로 이루어지는 부분 산화막(71)과, 산화되지 않고서 잔존한 폴리실리콘 영역(61)(62)에 의한 부분 분리 구조가 완성한다.

폴리실리콘 영역(67)의 산화 정도가 SOI층(3) 상에 형성되는 산화막(70)보다 높기 때문에, SOI층(3)의 표면과 폴리실리콘 영역(61)(62)의 최상부 사이에 충분히 단차가 생겨, 게이트 산화막 형성 시에 산화막 불량에 의해 게이트 전극(9)과 폴리실리콘 영역(61)이 쇼트하는 것을 방지할 수 있다.

이하, 기존의 방법으로, NMOS 트랜지스터 형성 영역에 NMOS 트랜지스터를 형성하고, PMOS 트랜지스터 형성 영역에 PMOS 트랜지스터를 형성함으로써, 도 32에 도시한 SOI 구조를 얻을 수 있다.

<<실시 형태 5>>

<제1 형태>

도 38은 본 발명의 실시 형태 5의 SOI 구조의 반도체 장치의 제1 형태의 구조를 나타낸 단면도이다. 상기 도면에 도시한 바와 같이, 실리콘 기판(1), 매립 산화막(2) 및 SOI층(3)으로 이루어지는 SOI 구조의 반도체 장치에 있어서의 SOI층(3)의 각 트랜지스터 형성 영역은 하층부에 웰 영역이 형성되는 저유전율막(매립 산화막 2 등이 일반적인 절연막보다 유전율이 낮은 절연막: 75)에 의해 분리된다. 그리고, 도 10에서 도시한 실시 형태 1과 마찬가지로, NMOS 트랜지스터 사이를 분리하는 저유전율막(75)의 하층에 n형의 웰 영역(11)이 형성되고, PMOS 트랜지스터 사이를 분리하는 저유전율막(75)의 하층에 n형의 웰 영역(12)이 형성되고, NMOS 트랜지스터, PMOS 트랜지스터 사이를 분리하는 저유전율막(75)의 하층에 p형의 웰 영역 및 n형의 웰 영역(도 38에서는 함께 도시하지 않음)이 형성된다. 상기한 웰 영역은 실시 형태 1과 마찬가지로, 전기적으로 접속 관계에 있는 보디 영역을 통해 전위 고정 가능하다.

SOI 구조의 경우, SOI층(3)의 막 두께가 50nm 정도로 얇게 되는 경우가 있다. 이 때, 소자 분리용 산화막(도 1의 부분 산화막 31) 아래에 형성되는 웰 영역이 공핍화 혹은 반전하고, 원래 소자 분리하여야 할 트랜지스터 사이에 누설 전류가 흐를 우려가 있다.

그러나, 실시 형태 4의 제1 형태에서는, 소자 분리용으로 저유전율막(75)을 이용하고 있기 때문에, 막 두께가 얇더라도 그 용량을 충분히 낮게 억제할 수 있어, 상기한 누설 전류 발생을 확실하게 회피할 수 있다.

또, 저유전율막(75)으로서는, 매립 산화막(2) 등에 이용되는 실리콘 산화막(비유전율이 3.9~4 정도)으로 불소가 혼입되거나, 유기막을 이용함으로써, 비유전율이 3정도의 것을 이용하고 있다.

<제2 형태>

도 39는 실시 형태 5의 제2 형태를 나타낸 단면도이다. 상기 도면에 도시한 바와 같이, 도 38의 저유전율막(75)을 대신하여, 저유전율막(76)과 저유전율막(76)의 저면 및 측면에 형성되는 실리콘 산화막(78)에 의해 소자 분리를 행하고 있다. 또, 다른 구성은 도 38에 도시한 제1 형태와 마찬가지로이다.

이와 같이, 저유전율막(77)의 저면 및 측면에 실리콘 산화막(78)을 형성하는 것은, 실리콘(드레인 영역5, 소스 영역6, 웰 영역11, 12등)과의 계면에 생기는 결함이나 계면 전하의 발생을 확실하게 억제하기 때문이다. 또, 실리콘 산화막(78)은 열 산화법이나 CVD법을 이용하여 형성된다.

<제3 형태>

도 40은 실시 형태 5의 제3 형태를 나타낸 단면도이다. 상기 도면에 도시한 바와 같이, 도 38의 저유전율막(75)을 대신하여, 저유전율막(77)과 저유전율막(77)의 측면에 형성되는 실리콘 산화막(79)에 의해 소자 분리를 행하고 있다. 또, 다른 구성은 도 38에 도시한 제1 형태와 마찬가지로이다.

이와 같이, 저유전율막(76)의 측면에 실리콘 산화막(78)을 형성하는 것은, 채널 형성 영역(7)이 존재하는 측면 방향의 실리콘(드레인 영역5, 소스 영역6)과의 계면에 생기는 결함이나 계면 전하의 발생을 확실하게 억제하는 것을 주안으로 하였기 때문이다.

<<실시 형태 6>>

<제1 형태>

도 41은 본 발명의 실시 형태 6인 SOI 구조의 반도체 장치에 있어서의 제1 형태의 구조를 나타낸 단면도이다.

상기 도면에 도시한 바와 같이, 각 소자 사이는 홈간 절연막(4: 설명의 형편 상, 완전 산화막32 상당하는 부분도 홈간 절연막 4로 나타낸다)에 의해 완전 분리하고, 보디 영역이 되는 접속 영역(80)을 매립 산화막(2)의 상층부에 형성하고, 그 일부가 SOI층(3: 도 41에서는 드레인 영역5, 채널 형성 영역7)의 단부 이면과 접함으로써, 전기적 접속 관계를 유지하고 있다. 또, 접속 영역(80)의 도전형은 채널 형성 영역(7)과 마찬가지로이다. 또한, 도 1 및 도 2와 마찬가지로의 부분에 대해서는 동일한 참조 부호를 붙여 그 설명을 적절하게 생략한다.

이와 같이, 제1 형태의 반도체 장치는 보디 영역이 되는 접속 영역(80)을 SOI층(3)이 아니라, 매립 산화막(2)의 상층부에 설치하였기 때문에, 게이트 전극(9) 사이에 적어도 SOI층(3)의 막 두께 이상의 고저차를 설치할 수 있다. 그 결과, 제조 시에 게이트 전극(9)과 접속 영역(80)이 단락한다고 하는 문제점을 확실하게 회피할 수 있다.

### <제2 형태>

도 42는 본 발명의 실시 형태 6인 S01 구조의 반도체 장치에 있어서의 제2 형태의 구조를 나타낸 단면도이다.

상기 도면에 도시한 바와 같이, 드레인 영역(5s) 및 소스 영역(6s)은 S01층(3)의 상층부에 얇게 형성된다. 또, 다른 구성은 도 41에 도시한 제1 형태와 마찬가지로이다.

이와 같이, 제2 형태의 반도체 장치는 드레인 영역(5s) 및 소스 영역(6s)을 S01층(3) 상층부에 얇게 형성하였기 때문에, 드레인 영역(5s) 혹은 소스 영역(6)과 접속 영역(80)이 접촉 관계를 갖고 누설 전류를 야기하는 것을 확실하게 회피할 수 있다.

### <제조 방법(개념)>

도 43~도 45는 접속 영역(80)이 되는 폴리실리콘 영역을 형성하는 공정을 개념적으로 나타낸 단면도이다.

우선, 도 43에 도시한 바와 같이, 실리콘 기판(1), 매립 산화막(2) 및 S01층(3)으로 이루어지는 S01 구조로부터, S01층(3)을 표면으로부터 선택적으로 제거함으로써, 트렌치 분리가 실시된 소자 형성 영역을 형성한다.

그리고, 도 44에 도시한 바와 같이, S01층(3)을 마스크로 하여 매립 산화막(2)에 대한 웨트 에칭을 실시하고, S01층(3)의 단부 하면의 매립 산화막(2)이 제거되면서, S01층(3)이 상부에 존재하지 않는 매립 산화막(2)의 상층부를 제거한 구멍부(94)를 형성한다.

그리고, 도 45에 도시한 바와 같이, 구멍부(94)에 폴리실리콘을 매립함으로써, 접속 영역(80)용의 폴리실리콘 영역(81)을 형성한다.

### <제1 제조 방법>

도 46~도 48은 접속 영역(80)이 되는 폴리실리콘 영역을 형성하는 그 1의 공정을 보다 구체적으로 나타낸 단면도이다.

우선, 도 46에 도시한 바와 같이, S01 기판의 S01층(3) 상에 실리콘 산화막(91) 및 실리콘 질화막(92)을 퇴적하고, S01층(3), 실리콘 산화막(91) 및 실리콘 질화막(92)을 패터닝하여 트렌치 분리를 행한 후, 패터닝 후의 S01층(3), 실리콘 산화막(91) 및 실리콘 질화막(92)의 측면에 측벽 실리콘 질화막(93)을 형성한다.

그리고, 도 47에 도시한 바와 같이, 실리콘 질화막(92) 및 측벽 실리콘 질화막(93)을 마스크로 하여, 매립 산화막(2)에 대한 웨트 에칭을 행하고, S01층(3)의 단부 하면의 매립 산화막(2)을 제거하면서, S01층(3)이 상부에 존재하지 않고서 노출한 매립 산화막(2)의 상층부를 제거함으로써, 구멍부(94)를 형성한다.

그 후, 도 48에 도시한 바와 같이, 전면에 폴리실리콘층을 퇴적한 후, 폴리실리콘층을 드라이 에칭에 의해 에치백함으로써, 구멍부(94)에 폴리실리콘을 매립하여 접속 영역(80)용의 폴리실리콘 영역(81)을 형성한다.

이하, 도 11에 도시한 공정과 같이, 트렌치에 산화막을 매립하는 등의 방법에 의해 복수의 소자 형성 영역을 절연 분리하고, 접속 영역(80)을 외부로부터 전위 고정 가능하게 하고, 또한, 복수의 소자 형성 영역 각각에 소정의 소자를 형성함으로써, 도 41 혹은 도 42에 도시한 구조가 완성된다.

### <제2 제조 방법>

도 49~도 51은 접속 영역(80)이 되는 폴리실리콘 영역을 형성하는 그 2의 공정을 구체적으로 나타낸 단면도이다.

우선, 이미 예를 든 도 46에 도시한 바와 같이, S01층(3), 실리콘 산화막(91) 및 실리콘 질화막(92)을 패터닝하여 트렌치 분리를 행한 후, 패터닝 후의 S01층(3), 실리콘 산화막(91) 및 실리콘 질화막(92)의 측면에 측벽 실리콘 질화막(93)을 형성한다.

그리고, 도 49에 도시한 바와 같이, 실리콘 질화막(92) 및 측벽 실리콘 질화막(93)을 마스크로 하여, 매립 산화막(2)에 대한 웨트 에칭을 행하고, S01층(3)의 단부 하면의 매립 산화막(2)을 제거하면서, S01층(3)이 상부에 존재하지 않는 매립 산화막(2)의 상층부를 제거함으로써, 구멍부(94)를 형성한다.

다음에, 도 50에 도시한 바와 같이, S01층(3)의 노출한 하면으로부터의 에피택셜 성장에 의해 측벽 실리콘 질화막(93) 아래에 에피택셜 성장층(82)을 형성한다.

그 후, 도 51에 도시한 바와 같이, 전면에 폴리실리콘층을 퇴적한 후, 폴리실리콘층을 에치백함으로써, 구멍부(94)에 폴리실리콘을 매립하여 접속 영역(80)용의 폴리실리콘 영역(83)을 형성한다. 그 결과, 에피택셜 성장층(82)과 폴리실리콘 영역(83)으로 이루어지는 접속 영역(80)을 형성할 수 있다.

이하, 트렌치에 산화막을 매립하는 등의 방법에 의해 복수의 소자 형성 영역을 절연 분리하고, 접속 영역(80)을 외부로부터 전위 고정 가능하게 하고, 또한, 복수의 소자 형성 영역 각각에 소정의 소자를 형성함으로써, 도 41 혹은 도 42에서 도시한 구조가 완성된다.

제2 형태의 구조는, 에피택셜 성장층(82)을 통해 있는 만큼, 드레인 영역(5) 혹은 소스 영역(6)과 채널 형성 영역(7)에 의한 PN 접합 부분과 폴리실리콘 영역(83)과의 거리를 충분히 휘할 수 있어, 양호한 전기적 특성을 얻을 수 있다.

### <제3 형태>

도 52는 실시 형태 6의 제3 형태를 나타낸 단면도이다. 상기 도면의 구조는 도 41에 도시한 구조(접속 영역80, 보디 콘택트23, 게이트 콘택트24 및 배선층22, 25를 제외한다)로부터, 실리콘 기판(1) 및 매립 산화막(2)을 연마에 의해 제거한 후, 표면을 반대로 한 후, 새로운 이면에 실리콘 기판(90)을 접합시키고, 접속 영역(86)을 표면에 형성한 구조이다. 따라서, 실리콘 기판(90), 출간 절연막(4) 및 소자 형성 영역(드레인 영역5, 소스 영역6, 채널 형성 영역7 등)으로 이루어지는 SOI 구조가 된다.

제3 형태는 결과적으로 접속 영역(86)을 표면에 형성하게 되기 때문에, 제조 공정이 용이하게 된다.

#### <제4 형태>

도 53은 실시 형태 6의 제4 형태를 나타낸 단면도이다. 상기 도면에 도시한 바와 같이, 매립 산화막(2)을 관통하여 접속 영역(87)을 형성하고 있다. 다른 구성은 도 41에 도시한 제1 형태와 마찬가지로이다.

이와 같이, 제4 형태는, 매립 산화막(2)을 관통하여 접속 영역(87)을 형성하였기 때문에, 지지 기판인 실리콘 기판(1)으로부터 전위를 고정할 수 있다. 이 때, 도 54에 도시한 바와 같이, 접속 영역(87) 형성을 웨트 에칭에 의해 매립 산화막(2)의 상층부에 형성된 구멍부(89)와, 드라이 에칭에 의해 가로 방향으로 확산되지 않게 매립 산화막(2)을 관통하여 형성된 관통부(88)에 의해 관통구를 설치한 후, 폴리실리콘 등을 매립하여 접속 영역(87)을 형성하면, 관통구 형성 시의 가로 방향의 확산을 억제하면서, 매립 산화막(2)을 관통한 접속 영역(87)을 얻을 수 있다.

#### <<실시 형태 7>>

도 63은 본 발명의 실시 형태 7인 SOI 구조의 반도체 장치의 완전 분리 영역의 설계 방법 설명용의 평면도이다. 상기 도면에 도시한 바와 같이, CMOS 트랜지스터를 형성하는 경우, 가상 n웰 영역(104) 내에 PMOS 활성 영역(101) 및 PMOS 보디 콘택트 영역(102)이 선택적으로 설치되고, 가상 n웰 영역(104)밖의 P 영역(도시하지 않음)에 NMOS 활성 영역(111) 및 NMOS 보디 콘택트 영역(112)을 선택적으로 설치되는 형상이 일반적이다.

한편, 실시 형태 2의 제3 형태(도 7) 등에서 나타낸 복합 분리 영역에 의해 NMOS, PMOS 사이를 분리하는 경우, 가상 n웰 영역(104)과 부분 분리 영역이 거의 일치하고, 부분 분리 영역에 연속하여 완전 분리 영역이 형성된다.

이러한 복합 분리 영역을 이용한 반도체 장치의 레이아웃 구성은 축적된 과거의 레이아웃 데이터를 이용할 수 있는 가능성은 높다.

따라서, 완전 분리 영역은 이하의 ①~③에서 나타낸 설계 방법을 실행함으로써 자동 생성할 수 있다.

① 웰 영역 내 형성되는 PMOS 트랜지스터와 웰 영역 밖에 형성되는 NMOS 트랜지스터로 이루어지는 CMOS 디바이스의 과거 데이터를 얻는다.

② 과거 데이터에 기초하여 제1 및 제2 MOS 트랜지스터의 형성 영역(PMOS 활성 영역 101, PMOS 보디 콘택트 영역 102, NMOS 활성 영역 111, NMOS 보디 콘택트 영역 112)을 설정한다.

③ 상기 과거 데이터에 있어서의 웰 영역을 가상 n웰 영역(104)으로서, n웰 영역(104)의 외주 근방 영역에, 완전 분리 영역(105)에 설정한다.

가상 n웰 영역(104)은 통상, NMOS 영역과 PMOS 영역을 구별하는 영역이기 때문에, 가상 n웰 영역(104)을 기준으로 하여 완전 분리 영역을 설정함으로써 NMOS 트랜지스터, PMOS 트랜지스터 사이를 효과적으로 분리할 수 있다.

도 63의 예에서는, 가상 n웰 영역(104)의 외부 모서리를 완전 분리폭 W의 반의 폭 W/2에서 외측으로 오버 사이즈 설정함과 함께, 상기 외부 모서리를 폭 W/2에서 내측으로 언더사이즈 설정함으로써 완전 분리 영역(105)을 설정하고 있다.

이와 같이, 통상의 CMOS 트랜지스터를 제조하는 과거 데이터의 웰 영역의 외주 근방에 완전 분리폭 W에 기초하여 완전 분리 영역을 자동 설정할 수 있다.

또한, 부분 분리 영역(113)을 PMOS 활성 영역(101), PMOS 보디 콘택트 영역(102), n웰 영역(104), NMOS 활성 영역(111) 및 NMOS 보디 콘택트 영역(112) 이외의 영역에 n웰 영역(104)에 연속하여 형성되도록 설정함으로써, 완전 분리 영역(105) 및 부분 분리 영역(113)으로 이루어지는 복합 분리 영역을 설계할 수 있다.

#### <<실시 형태 8>>

##### <래치업 현상>

도 64는 래치업 현상 설명용의 설명도이다. 상기 도면에 도시한 바와 같이, PMOS 영역(131)에 NMOS 영역(141)이 인접하는 CMOS 구조에서는, PMOS 영역(131) 내의 PMOS 활성 영역(133) 및 n웰 영역(132)과 NMOS 영역(141) 내의 p웰 영역(142)에 의해 형성되는 기생 바이폴라 트랜지스터 T1과, NMOS 영역(141) 내의 NMOS 활성 영역(143) 및 p웰 영역(142)과 PMOS 영역(131) 내의 n웰 영역(132)에 의해 형성되는 기생 바이폴라 트랜지스터 T2가 형성된다.

n<sup>+</sup> 보디 콘택트 영역(135)은 n웰 영역(132)의 저항 성분 R1과 통해 기생 바이폴라 트랜지스터 T1의 베이스에 접속되게 된다. 마찬가지로, p<sup>+</sup> 보디 콘택트 영역(145)은 p웰 영역(142)의 저항 성분 R2를 통해 기생 바이폴라 트랜지스터 T2의 베이스에 접속되게 된다. n<sup>+</sup> 보디 콘택트 영역(135)은 전원 전압 Vcc에 설정되며, p<sup>+</sup> 보디 콘택트 영역(145)은 접지 레벨 Vss에 설정된다. 또, PMOS 활성 영역(133) 및 NMOS 활성 영역(143)의 중심부에는 게이트 전극(134 및 144)이 각각 형성되어 있다.

이들 기생 바이폴라 트랜지스터 T1 및 T2에 의한 기생 서리스터 구조가 형성됨으로써, 노이즈에 의해 기생 서리스터가 온 상태가 되면 전원 전압 Vcc로부터 접지 레벨 Vss에 걸쳐 전류가 흘러버리게 된다고 하는 래치업 현상이 일어난다.

#### <제1 형태>

일반적으로 래치업 현상을 야기하는 노이즈는 입출력 단자로부터 들어오는 일이 많다. 그래서, 도 65에 도시한 바와 같이, 입출력 NMOS(트랜지스터 형성) 영역(106), 입출력 PMOS(트랜지스터 형성) 영역(116) 사이의 경계 근방 영역을 완전 분리 영역(114)으로 완전 분리하는 구조가 바람직하다. 또, 입출력 NMOS 영역(106) 및 입출력 PMOS 영역(116)은 각각 부분 분리 영역(107) 및 부분 분리 영역(117)에서 주변 영역으로 부분 분리되어 있다.

입출력 영역은 입출력 버퍼나 보호 회로를 주로 형성하는 영역을 의미한다. 도 66은 입력 회로의 일례를 나타낸 회로도이다. 상기 도면에 도시한 바와 같이, 입력 신호 IN을 수신하는 외부 입력 단자 P1은 저항 R1 및 R2를 통해 입력 버퍼(122)의 입력부에 접속되고, 입력 버퍼(122)의 출력부가 내부 입력 단자 P2에 접속되며, 내부 입력 단자 P2로부터 내부 신호 S0이 출력된다.

입력 보호 회로(121)는 PMOS 트랜지스터 Q1 및 NMOS 트랜지스터 Q2로 구성되고, PMOS 트랜지스터 Q1은 소스 및 게이트가 전원 전압 Vcc에 접속되고, 드레인이 저항 R1, R2 사이의 노드 N1에 접속된다. NMOS 트랜지스터 Q2는 소스 및 게이트가 접지되고, 드레인이 노드 N1에 접속된다.

입력 버퍼(122)는 PMOS 트랜지스터 Q11, NMOS 트랜지스터 Q12에 의해 CMOS 인버터를 구성하고, PMOS 트랜지스터 Q11, NMOS 트랜지스터 Q12의 게이트가 입력부, 드레인이 출력부가 된다.

이 회로예에서는, PMOS 트랜지스터 Q1 및 Q11이 입력 PMOS 영역(118)에 형성되고, NMOS 트랜지스터 Q2 및 Q12가 입력 NMOS 영역(108)에 형성된다.

도 67은 출력 회로의 일례를 나타낸 회로도이다. 상기 도면에 도시한 바와 같이, 내부 신호 S1을 수신하는 내부 입력 단자 P3은 출력 버퍼(123)의 입력부에 접속되며, 출력 버퍼(123)의 출력부로부터 얻어지는 신호가 외부 출력 단자 P4를 통해 출력 신호 OUT로서 출력된다.

출력 버퍼(123)는 PMOS 트랜지스터 Q13, NMOS 트랜지스터 Q14에 의해 CMOS 인버터를 구성하고, PMOS 트랜지스터 Q13, NMOS 트랜지스터 Q14의 게이트가 입력부, 드레인이 출력부가 된다.

출력 보호 회로(124)는 PMOS 트랜지스터 Q3 및 NMOS 트랜지스터 Q4로 구성되고, PMOS 트랜지스터 Q3의 소스 및 게이트가 전원 전압 Vcc에 접속되며, 드레인이 외부 출력 단자 P4에 접속된다. NMOS 트랜지스터 Q4의 소스 및 게이트가 접지되고, 드레인이 외부 출력 단자 P4에 접속된다.

이 회로예에서는, PMOS 트랜지스터 Q3 및 Q13이 출력 PMOS 영역(119)에 형성되고, NMOS 트랜지스터 Q4 및 Q14가 출력 NMOS 영역(109)에 형성된다.

이와 같이, 실시 형태 8의 제1 형태는, 래치업 현상이 생기기 쉬운 입출력 NMOS 영역(106), 입출력 PMOS 영역(116) 사이의 적어도 경계 근방 영역에 완전 분리 영역(114)을 형성하여 완전 분리함으로써, 래치업 현상이 생기지 않는 구조로 하고 있다.

또한, 실시 형태 8의 제1 형태는 NMOS 영역, PMOS 영역 사이의 전 영역에 완전 분리 영역을 설치하는 것이 아니라, 입출력 NMOS 영역, 입출력 PMOS 영역의 경계 근방 영역에만 완전 분리 영역(114)을 설치함으로써, 래치업 현상을 효과적으로 억제하면서, 회로 형성 면적의 증대를 최소한으로 억제할 수 있다.

#### <제2 형태>

또, 입출력 NMOS 영역(106), 입출력 PMOS 영역(116) 사이의 완전 분리는, 도 65와 같이, 입출력 NMOS 영역(106), 입출력 PMOS 영역(116) 사이의 경계 근방 영역에만 설치하는 이외에, 도 68에 도시한 제2 형태와 같이, 입출력 NMOS 영역(106) 및 입출력 PMOS 영역(116)을 완전히 둘러싸도록 완전 분리 영역(115)을 형성하여도 좋다.

또한, 입출력 NMOS 영역, 입출력 PMOS 영역 사이 외에, 아날로그 회로, 디지털 회로 사이와 같이 특정한 회로 사이에 완전 분리 영역을 설치하는 것도 생각된다.

#### <제3 형태>

도 69는 실시 형태 8의 제3 형태를 나타낸 설명도이다. 상기 도면에 도시한 바와 같이, NMOS 영역(입출력 NMOS 영역 106, 내부 NMOS 영역 180), PMOS 영역(입출력 PMOS 영역 116, 내부 PMOS 영역 190) 사이 외에, 입출력 영역(입출력 PMOS 영역 116), 내부 회로 영역(내부 NMOS 영역 180) 사이도 완전 분리 영역(110)으로 완전 분리하고 있다.

제3 형태에 의해, 제1 및 제2 형태의 효과 외에, 노이즈 영향을 받기 쉬운 입출력 영역의 영향을 내부 회로 영역으로부터 완전히 차단할 수 있다.

#### <<실시 형태 9>>

##### <제1 형태>

도 70은 본 발명의 실시 형태 9인 SOI 구조의 반도체 장치의 제1 형태의 평면 구조를 나타낸 평면도이고, 도 71은 도 70의 A-A 단면 구조를 나타낸 단면도이다. 이들 도면에 도시한 바와 같이, NMOS (트랜지스터 형성) 영역(126)과 PMOS (트랜지스터 형성) 영역(136)이 인접하여 설치되어 있다. NMOS 영역(126) 내에 복수의 게이트 전극(129)을 갖는 NMOS 활성 영역(128)과 p<sup>+</sup> 보디 영역(130)이 형성되고, NMOS 활성 영역(128)의 주위를 부분 분리 영역(127)으로 둘러싸고 있다.

한편, PMOS 영역(136) 내에 복수의 게이트 전극(139)을 갖는 PMOS 활성 영역(138)과 n<sup>+</sup>보디 영역(140)이

형성되고, PMOS 활성 영역(138)의 주위를 부분 분리 영역(137) 및 완전 분리 영역(120)에 의해 둘러싸여 있다. 완전 분리 영역(120)은, NMOS 영역(126)과 PMOS 영역(136)과의 경계 근방의 PMOS 영역(136) 내에서의 게이트 전극(139)의 PMOS 활성 영역(138)으로부터의 돌출 부분에 설치된다.

따라서, NMOS 영역(126)과 PMOS 영역(136)과의 경계 근방 영역은, 도 71에 도시한 바와 같이, NMOS 영역(126)은 산화막(54)과 웰 영역(169)에 의한 부분 분리 영역(127)에서 주위와 분리되는데 대해, PMOS 영역(136)은 산화막(54)만에 따른 완전 분리 영역(120)에서 주위와 분리된다.

이와 같이, NMOS 영역(126)에는 완전 분리 영역을 완전히 형성하지 않고, 부분 분리 영역(127)을 설치함으로써, 산화막(54) 하의 웰 영역(169)을 통해 NMOS 트랜지스터의 기판 전위의 고정을 부족 없이 행할 수 있기 때문에, 기판 부유 효과가 심한 NMOS 트랜지스터의 기판 부유 효과를 효과적으로 억제할 수 있다.

또한, 기판 부유 효과가 NMOS 트랜지스터에 비교하여 온화한 PMOS 트랜지스터는, 주변의 일부에 완전 분리 영역을 형성하여도 큰 악영향은 없고, NMOS 영역(126), PMOS 영역(136) 사이를 완전 분리 영역(120)에 의해 절연 분리하면서면적 효율을 높인 배치로 되고, 레이아웃에 여유가 없는 경우 등에 유용해 된다.

#### <제2 형태>

도 72는 본 발명의 실시 형태 9인 SOI 구조의 반도체 장치의 제2 형태의 평면 구조를 나타낸 평면도이고, 도 73은 도 72의 B-B 단면 구조를 나타낸 단면도이다. 이들 도면에 도시한 바와 같이, p형의 웰 영역(169) 내에 형성되는 NMOS 영역(126)과, n형의 웰 영역(179) 내에 형성되는 PMOS 영역(136)이 인접하여 설치된다.

NMOS 영역(126) 내에 복수의 게이트 전극(129)을 갖는 NMOS 활성 영역(128)이 형성되고, NMOS 활성 영역(128)의 주위의 대부분을 완전 분리 영역(125)으로 둘러싸고 있다. 그리고, 게이트 전극(129)의 한 쪽측(PMOS 영역(136)과 반대측)의 게이트 전극(129)의 단부만 부분 분리 영역(127)에서 주위와 분리하고 있다.

도 73에 도시한 바와 같이, 산화막(54)과 산화막(54)의 아래쪽에 형성된 웰 영역(169)에 의해 부분 분리 영역(127)을 구성하고 있다. 또, 부분 분리 영역(127)의 형성폭은, 게이트 전극(129)의 형성폭보다도 크더라도(도 73의 좌측), 작더라도(도 73의 우측) 좋다. 또한, 웰 영역(169) 내의 상기 게이트 전극(129)의 한 쪽측 부근에 p<sup>+</sup> 보디 영역(130)이 설치된다.

한편, PMOS 영역(136) 내에 복수의 게이트 전극(139)을 갖는 PMOS 활성 영역(138)이 형성되고, PMOS 활성 영역(138)의 주위의 대부분을 완전 분리 영역(125)에 둘러싸고 있다. 그리고, NMOS 영역(126)과 마찬가지로, 게이트 전극(139)의 한 쪽측(NMOS 영역(126)과 반대측)의 게이트 전극(139)의 단부만 부분 분리 영역(137)에서 주위와 분리하고 있다. 또한, 웰 영역(179) 내의 상기 게이트 전극(139)의 한 쪽측 부근에 n<sup>+</sup> 보디 영역(140)이 설치된다.

이와 같이, 실시 형태 9의 제2 형태는, 게이트 전극의 단부를 부분 분리 영역에 의해서 분리하고, 게이트 전극 아래에 존재하는 채널 형성 영역과 부분 분리 영역의 웰 영역이 접하도록 형성함으로써, 각 트랜지스터 형성 영역의 기판 전위를 고정할 수 있다.

또, NMOS 영역(126) 및 PMOS 영역(136) 주위의 대부분을 완전 분리 영역(125)에 둘러싸고 있는 것은, PN 접합 면적을 감소시키기 위한과 래치업 현상이 생기는 경로를 차단하기 위해서이다.

#### <<실시 형태 10>>

##### <제1 형태>

도 74는 본 발명의 실시 형태 10인 SOI 구조의 반도체 장치의 제1 형태의 구성을 나타낸 평면도이다. 상기 도면에 도시한 바와 같이, NMOS 활성 영역(128) 내에 복수의 게이트 전극(129)이 형성되고, NMOS 활성 영역(128)의 주위에 둘러싸여 부분 분리 영역(127)을 설치하고 있다. 또한, 부분 분리 영역(127)의 주위에 둘러싸여 p<sup>+</sup> 보디 영역(146)을 설치하고 있다. 또, 도 10에는 도 74의 E-E 단면 구조를 나타낸 단면도이다.

부분 분리 영역(127)은 도 101에 도시한 바와 같이, 산화막(54)과 웰 영역(169)으로 구성되어 있고, 이 웰 영역(169)은 NMOS 활성 영역(128)에 형성되는 채널 형성 영역과 접하여 형성되기 때문에, 노이즈나 래치업의 영향을 받기 쉬운 구조로 되어 있다.

그러나, 실시 형태 10의 제1 형태는, 부분 분리 영역(127)에 둘러싸여 p<sup>+</sup> 보디 영역(146)이 형성되어 있기 때문에, p<sup>+</sup> 보디 영역(146)을 접지 레벨에 고정하는 등의 기판 고정을 행함으로써, 다른 회로 부분으로부터의 영향을 억제하고, 기판 전위를 안정적으로 할 수 있어, 노이즈나 래치업에 대한 내성을 크게 향상시킬 수 있다.

이러한 구성의 제1 형태는, 노이즈원의 회로 블록, 외부로부터 노이즈를 차단하고 싶은 회로 블록 등에 적합하다. 또, PMOS 활성 영역의 경우에는 부분 분리 영역의 주위를 n<sup>+</sup>의 보디 영역에서 둘러싸여 형성되면, 마찬가지로 효과가 얻어진다.

##### <제2 형태>

도 75는 본 발명의 실시 형태 10인 SOI 구조의 반도체 장치의 제2 형태의 구성을 나타낸 평면도이다. 상기 도면에 도시한 바와 같이, 입출력 NMOS 영역(151)과 입출력 PMOS 영역(152)이 인접하여 형성된다.

입출력 NMOS 영역(151)에 있어서, NMOS 활성 영역(128) 내에 복수의 게이트 전극(129)이 형성되고, NMOS 활성 영역(128)의 주위에 둘러싸여 부분 분리 영역(127A)을 설치하고 있다. 또한, 부분 분리 영역(127A)

의 주위에 둘러싸여  $p^+$  보디 영역(146)을 설치하고 있다. 그리고,  $p^+$  보디 영역(146)에 둘러싸여 부분 분리 영역(127B)을 설치하고 있다.

입출력 PMOS 영역(152)에 있어서, PMOS 활성 영역(138) 내에 복수의 게이트 전극(139)이 형성되고, PMOS 활성 영역(138)의 주위에 둘러싸인 부분이 분리 영역(137A)을 설치하고 있다. 또한, 부분 분리 영역(137A)의 주위에 둘러싸여  $n^+$  보디 영역(147)을 설치하고 있다. 그리고,  $n^+$  보디 영역(147)에 둘러싸여 부분 분리 영역(137B)을 설치하고 있다.

일반적으로 입출력 회로는 서지나 노이즈의 영향을 침묵으로부터 받는 경우가 많기 때문에, 래치업 현상이나 노이즈 내성을 높이는 것이 특히 중요해진다.

실시 형태 10의 제2 형태에서는, 입출력 NMOS 영역(151) 및 입출력 PMOS 영역(152) 각각의 부분 분리 영역(127A 및 137A)을  $p^+$  보디 영역(146) 및  $n^+$  보디 영역(147)으로 둘러싸게 됨으로써, 서지의 영향으로 웰 영역의 전위가 상승하여 생기는 래치업 현상을 억제할 수 있다.

제2 형태에서는, NMOS, PMOS 활성 영역 전체를 보디 영역에서 덮는 구조로 나타내었지만, 입출력 NMOS 영역(151)과 입출력 PMOS 영역(152)과의 경계 근방 영역에, 적어도 보디 영역을 설치하면, 래치업 현상이나 노이즈 내성을 어느 정도 높일 수 있다.

<<실시 형태 11>>

<제1 형태>

도 76은 본 발명의 실시 형태 11인 SOI 구조의 반도체 장치의 제1 형태의 구성을 나타낸 평면도이다.

상기 도면에 도시한 바와 같이, NMOS 활성 영역(128) 내에 복수의 게이트 전극(129)이 설치되고, NMOS 활성 영역(128)의 주위에 둘러싸여 부유 부분 분리 영역(149)을 형성하고, 부유 부분 분리 영역(149)의 주위에 둘러싸여 완전 분리 영역(148)을 형성하고 있다.

부유 부분 분리 영역(149)은, 예를 들면 도 55의 부분 산화막(31)과 웰 영역(11)과의 관계와 같이 산화막과 웰 영역과의 2층 구조로 형성되지만, 웰 영역은 전위 고정되지 않고, 항상 부유 상태로 되어 있다. 부유 부분 분리 영역(149)의 웰 영역을 부유 상태로 하여도, 통틀어 전리에 의해 발생한 캐리어는 부유 부분 분리 영역(149)의 웰 영역에 유입되기 때문에, 포텐셜 상승을 최저한으로 억제할 수 있다. 또한, 우주선에 의해 발생하는 전하를 부유 부분 분리 영역(149)의 웰 영역으로 분산할 수 있기 때문에 소프트 에러 내성을 향상시키는 것도 가능하다.

이와 같이 부유 부분 분리 영역(149)을 설치하는 실시 형태 11의 제1 형태의 구성은, SRAM 등, 고밀도 회로에서 보디 영역에의 콘택트가 곤란한 경우 등에 유효하다.

또, 완전 분리 영역(148)을 설치하는 쪽이 래치업 내성 향상 등의 관점에서 바람직하지만, 반드시 필요하지는 않다.

<제2 형태>

도 77은 본 발명의 실시 형태 11인 SOI 구조의 반도체 장치의 제2 형태의 구성을 나타낸 평면도이다.

상기 도면에 도시한 바와 같이, 부유 부분 분리 영역(149) 내에 부유  $p^+$  보디 영역(150)을 설치하고 있다. 다른 구성은 도 76에 도시한 제1 형태와 마찬가지로 한다.

부유  $p^+$  보디 영역(150)은 전위 고정되지 않고, 항상 부유 상태로 되어 있다. 따라서, 부유 부분 분리 영역(149)의 웰 영역도 부유 상태로 된다.

제2 형태와 같이, 부유 부분 분리 영역(149)의 웰 영역을 부유 상태로 하여도, 제1 형태와 마찬가지로, 포텐셜 상승을 최저한으로 억제할 수 있어, 소프트 에러 내성을 향상시킬 수 있다.

또한, 제2 형태는, 부유  $p^+$  보디 영역(150)의 존재에 의해, 캐리어의 재결합이 촉진되기 때문에, 제1 형태에 비교하여 기판 부유 효과의 억제 효과가 커지는 효과를 발휘한다.

<<실시 형태 12>>

<제1 형태>

도 78은 본 발명의 실시 형태 12인 SOI 구조의 반도체 장치의 제1 형태의 구성을 나타낸 평면도이고, 도 79는 그 C-C 단면도이다.

이들 도면에 도시한 바와 같이, 드레인 영역(153), 소스 영역(154) 및 게이트 전극(155)으로 구성되는 NMOS 트랜지스터의 소스 영역(154)에 인접하여  $p^+$ 형의 보디 영역(156)을 설치하고, 소스 영역(154) 및 보디 영역(156)이 함께 알루미늄 배선층(160)과 콘택트(158)에 의해 전기적으로 접속되어 있다.

또, 드레인 영역(153)은 알루미늄 배선층(159)과 콘택트(157)에 의해 전기적으로 접속되고, 드레인 영역(153), 소스 영역(154) 및 보디 영역(156)의 주변에 둘러싸여 부분 분리 영역(161)이 형성되어 있다.

도 79에 도시한 바와 같이, 부분 분리 영역(161)은, 산화막(162)과  $p$ 형의 웰 영역(177)으로 구성되어 있다. 또한, 소스 영역(154) 및 보디 영역(156)의 공통 접속을 용이하게 하기 위해, 소스 영역(154) 및 보디 영역(156)의 상면에 걸쳐 실리콘사이드층(163)을 형성하고, 실리콘사이드층(163) 상에 콘택트(158)를 형성하고 있다. 또, 게이트 전극(155)의 게이트 산화막(178) 하측의 SOI층(3)의 영역이 채널 형성 영역(170)으로 된다.

이러한 구성에 있어서, 알루미늄 배선층(160)에 의해, 소스 영역(154) 및 보디 영역(156)을 접지 레벨에



고정함으로써, 소스 영역(154)과 동전위로 웰 영역(177)의 전위를 고정하고, 웰 영역(177)을 통해 채널 형성 영역(170)의 전위를 고정할 수 있다.

그리고, 제1 형태는, 도 78 및 도 79와 같이, 소스 영역(154) 및 보디 영역(156)을 인정하여 형성할 수 있는 만큼, 집적도의 향상을 도모할 수 있다.

또, PMOS 트랜지스터도 마찬가지로 구성할 수 있다. 단, 소스 영역 및 보디 영역의 전위 고정은 전원 레벨로 행할 필요가 있다.

#### <제2 형태>

도 80은 본 발명의 실시 형태 12인 SOI 구조의 반도체 장치의 제2 형태의 구성을 나타낸 평면도이고, 도 81은 그 0-0 단면도이다.

이를 도면에서 도시한 바와 같이, 소스 영역(154)과 인접하여 p<sup>+</sup>형의 보디 영역(164)을 설치하고, 소스 영역(154) 및 보디 영역(164)이 함께 알루미늄 배선층(166)과 콘택트(165)에 의해 전기적으로 접속되어 있다. 이 때, 콘택트(165)가 소스 영역(154)과 보디 영역(164)에 걸리도록 형성된다. 그리고, 드레인 영역(153), 소스 영역(154) 및 보디 영역(164)의 주변에 둘러싸여 부분 분리 영역(161)이 형성되어 있다.

도 81에 도시한 바와 같이, 소스 영역(154) 상에 실리콘사이드층(167)이 형성되고, 실리콘사이드층(167)의 일부 및 상부 보디 영역(164) 상에 콘택트(165)를 형성하고 있다. 또, 다른 구성은 도 78 및 도 79에 도시한 제1 형태와 마찬가지로 한다.

이러한 구성에 있어서, 알루미늄 배선층(166)에 의해, 소스 영역(154) 및 보디 영역(164)을 접지 레벨에 고정함으로써, 소스 영역(154)과 동전위로 웰 영역(177)의 전위를 고정하고, 웰 영역(177)을 통해 채널 형성 영역(170)의 전위를 고정할 수 있다.

그리고, 제2 형태는, 도 80 및 도 81과 같이, 소스 영역(154) 및 보디 영역(164)을 인정하여 형성할 수 있는 만큼, 집적도의 향상을 도모할 수 있다.

#### <제3 형태>

도 82에 도시한 바와 같이, 부분 분리 영역(161)과 인접하고, 통상 소스 영역(154)이 되는 부분의 일부에 보디 영역(164)을 설치하고, 소스 영역(154) 상에 콘택트(165)를 설치하여도, 제2 형태와 동등한 효과를 발휘한다.

또한, 제3 형태는, 도 82와 같이, 소스 영역(154)이 되는 영역 내에 보디 영역(164)을 완전 중복하여 형성할 수 있는 만큼, 제1 및 제2 형태 이상으로 집적도의 향상을 도모할 수 있다.

#### <<실시 형태 13>>

도 83은 본 발명의 실시 형태 13인 SOI 구조의 반도체 장치의 단면 구조를 나타낸 단면도이다. 상기 도면에 도시한 바와 같이, n<sup>+</sup>활성 영역(171, 172) 사이를 분리하는 부분 분리 영역을 산화막(173)과 산화막(173) 하의 웰 영역(p 영역 174, 175 및 p<sup>+</sup>영역 176)으로부터 구성하고 있다. 또, n<sup>+</sup>활성 영역(171, 172)으로서 예를 들면, 트랜지스터의 소스, 드레인 영역이 생각되고, p 영역(174, 175)이 n<sup>+</sup>활성 영역(171, 172)에 인접하는 웰 영역의 주변 영역으로 되고, p<sup>+</sup>영역(176)이 웰 영역의 중심 영역이 된다.

이와 같이, 실시 형태 13은, n<sup>+</sup>활성 영역(171, 172)과 인접하는 p 영역(174 및 175)의 불순물 농도를 p<sup>+</sup>영역(176)보다 높게 설정함으로써, 부분 분리에 있어서의 편차스루 내성의 향상을 도모하고 있다.

또, 제조 방법으로서, 산화막(173) 아래에 p<sup>+</sup>의 웰 영역 형성 후, 경사 회전 주입으로 붕소나 BF<sub>3</sub>를 웰 영역에 도달하도록 주입하면, 도 83에서 도시한 바와 같이, p 영역(174, 175)을 형성할 수 있다.

예를 들면, 붕소(B)를 주입 에너지 20keV, 주입 각도 45도이고, 도즈량 4×10<sup>18</sup>/cm<sup>2</sup> 주입하면 좋다. 또한, B나 BF<sub>3</sub>의 주입 에너지가 낮은 경우(예를 들면, BF<sub>3</sub>의 주입에너지 20keV)에서도, n<sup>+</sup>의 불순물 주입 시에 발생하는 격자 결함에 의한 증속 확산에 의해 n<sup>+</sup>활성 영역(171, 172)의 주변에 p형의 영역을 형성함으로써 p영역(174, 175)을 설치하는 것도 가능하다.

#### <<실시 형태 14>>

##### <제1 형태>

도 84는 본 발명의 실시 형태 14인 SOI 구조의 반도체 장치의 제1 형태의 단면 구조를 나타낸 단면도이다. 상기 도면에 도시한 바와 같이, 실리콘 기판(1) 및 매립 산화막(2) 상의 SOI층(3)에 형성되고, 드레인 영역(183), 소스 영역(184), 게이트 산화막(185), 게이트 전극(186) 및 채널 형성 영역(187)으로 구성되는 NMOS 트랜지스터가 산화막(181) 및 웰 영역(182)으로 이루어지는 부분 분리 영역에 의해 부분 분리된다.

이 때, 도 84의 우측에 도시한 바와 같이, 드레인 영역(183) 및 소스 영역(184)의 불순물 농도 프로파일과, 웰 영역(182)의 불순물 농도 프로파일과 비교한 경우, 웰 영역(182)의 농도 불순물 피크가 드레인 영역(183) 및 소스 영역(184)의 불순물 농도 피크보다 SOI층(3)의 표면으로부터의 깊이가 깊어지도록 설정한다.

이러한 구성의 제1 형태의 반도체 장치는, 드레인 영역(183) 및 소스 영역(184)과 웰 영역(182)과의 PN 접합 부분을 얇은 불순물 프로파일끼리로 형성할 수 있기 때문에, 드레인 영역(183) 및 소스 영역(184)과 웰 영역(182)과의 PN 접합 내압을 높일 수 있다.

<제2 형태>

도 85는 본 발명의 실시 형태 14인 SOI 구조의 반도체 장치의 제2 형태의 단면 구조를 나타낸 단면도이다. 상기 도면에 도시한 바와 같이, 제1 형태와 마찬가지로 구조를 나타내고 있다.

이 때, 도 85의 우측에 도시한 바와 같이, 웰 영역(182)의 불순물 프로파일과 채널 형성 영역(187)의 불순물 프로파일과 비교한 경우, 웰 영역(182)의 불순물 피크가 채널 형성 영역(187)의 불순물 피크보다 SOI층(3)의 표면으로부터의 깊이가 깊게 되도록 설정한다. 예를 들면, 부분 분리층의 산화막(181)의 상면이 SOI층(3)의 표면보다 상부에 있는 상태에서 불순물 주입함으로써 웰 영역(182) 및 채널 형성 영역(187)을 동시에 형성하면, 채널 형성 영역(187)은 자동적으로 웰 영역(182)보다 깊은 위치에 피크가 되는 불순물 프로파일로 된다.

이러한 구성의 제2 형태의 반도체 장치는, 채널 형성 영역(187)의 표면의 불순물 농도를 충분히 내리고, 임계치 전압이 원하는 값보다 커지지 않도록 할 수 있다.

<<실시 형태 15>>

<제1 형태>

도 86은 본 발명의 실시 형태 15인 SOI 구조의 반도체 장치의 제1 형태의 구조를 나타낸 단면도이다. 상기 도면에 도시한 바와 같이, 실리콘 기판(1) 및 매립 산화막(2) 상의 SOI층(3)에 n<sup>+</sup>활성 영역(191~193)이 선택적으로 형성되고, n<sup>+</sup>활성 영역(191, 192) 사이가 완전 분리 영역(209)으로 분리되고, n<sup>+</sup>활성 영역(192, 193) 사이가 부분 분리 영역(219)으로 분리되어 있다.

완전 분리 영역(209)은 산화막(188)과 산화막(188) 아래에 형성되는 웰 영역(p<sup>+</sup>웰 영역 194, 195 및 p<sup>+</sup>웰 영역 196, 197)으로 구성된다. 산화막(188)은 중심부의 완전 절연 부분(229)이 SOI층(3)을 관통하여 형성됨으로써, n<sup>+</sup>활성 영역(191, 192) 사이를 완전 분리할 수 있다. 한편, 부분 분리 영역(219)은 산화막(189)과 산화막(189) 하의 p<sup>+</sup>웰 영역(198)에 의해 구성된다.

산화막(188) 하의 웰 영역에 있어서, 완전 절연 부분(229)에 인접하여 형성되는 p<sup>+</sup>웰 영역(196, 197)의 불순물 농도를 다른 영역(194, 195)보다 높게 설정하고 있다.

완전 절연 부분(229)의 근방 영역에서는 SOI층(3)에 걸리는 스트레스에 의해 전하가 발생하거나 불순물의 산화막에의 편착에 의해 편치스루하기 쉬운 상태가 된다고 하는 문제점이 생길 가능성이 높다.

그러나, 실시 형태 15의 제1 형태는, 완전 절연 부분(229)의 근방에 비교적 불순물 농도가 높은 p<sup>+</sup>웰 영역(196, 197)을 설치하고 있기 때문에, 상기 문제점의 발생의 가능성을 억제할 수 있다.

<제2 형태>

도 87은 본 발명의 실시 형태 15인 SOI 구조의 반도체 장치의 제2 형태의 구성을 나타낸 평면도이다. 상기 도면에 도시한 바와 같이, 드레인 영역(201), 소스 영역(202) 및 게이트 전극(203)으로 이루어지는 NMOS 트랜지스터의 주위를 부분 분리 영역(204~207)으로 둘러싸고, 또한 부분 분리 영역(204~207)의 주위를 완전 분리 영역(208)으로 둘러싸고 있다.

부분 분리 영역(204~207)에 있어서, 게이트 전극(203)의 근방 영역은 불순물 농도가 비교적 높은 p<sup>+</sup>웰 영역(206 및 207)을 형성하고, 그 이외의 드레인 영역(201) 및 소스 영역(202)에 접한 영역은 불순물 농도가 낮은 p<sup>+</sup>웰 영역(204 및 205)을 형성하고 있다.

이러한 구성의 실시 형태 15의 제2 형태는, p<sup>+</sup>웰 영역(204 및 205)에 의해 PN 접합 용량의 저하를 도모하고, p<sup>+</sup>웰 영역(206 및 207)에 의해 편치 스루를 방지할 수 있다.

<<실시 형태 16>>

<제1 형태>

도 88은 본 발명의 실시 형태 16인 SOI 구조의 반도체 장치의 제1 형태의 구조를 나타낸 단면도이다. 상기 도면에 도시한 바와 같이, 실리콘 기판(1) 및 매립 산화막(2) 상의 SOI층(3) 내에 부분 분리 영역용의 산화막(211)을 형성하고 있다.

분리 형상의 최적화에 있어서, 분리폭의 축소와 SOI층에 걸리는 스트레스 완화의 양면의 밸런스를 취할 필요가 있다. 부분 분리 영역용의 산화막의 형상에 있어서, 분리폭의 축소를 위해 될 수 있는 한 각부의 곡률 반경을 작게 하고, 또한 깊이 방향의 면을 수직으로 가깝게 하는 것이 좋다. 반대로 스트레스 완화를 위해서는 각부의 곡률 반경을 크게 하는 편이 좋다. 또한, 새부리 형상부는 유효한 활성 영역폭을 확보하기 위해 될 수 있는 한 작게 하는 것이 바람직하다.

이러한 관점으로부터, 제1 형태의 산화막(211)의 단면 형상은, 분리폭을 축소하기 위해, 표면의 각부의 새부리 형상부의 형상 FA(볼록 부분)의 곡률을 심하게 하고, 스트레스를 완화하기 위해 저면의 각부의 형상 FB의 곡률을 크게 설정하고 있다. 또한, 분리폭을 축소하기 위해, 깊이 방향의 면의 형상 FC의 적어도 일부는 수직에 가깝게 하는 것이 바람직하다.

<제2 형태>

도 89는 본 발명의 실시 형태 16인 SOI 구조의 반도체 장치의 제2 형태의 구조를 나타낸 단면도이다. 상기 도면에 도시한 바와 같이, 실리콘 기판(1) 및 매립 산화막(2) 상의 SOI층(3) 내에 완전 분리 영역용의 산화막(212)을 형성하고 있다.

제2 형태도 제1 형태와 마찬가지로 관점으로부터, 산화막(212)의 단면 형상은, 제1 형태와 마찬가지로 형

상 FA, FB, FC에 설정하고, 또한, 바닥부의 완전 절연 부분과 부분 분리 부분과의 단차부의 형상 FD의 곡률을 형상 FC보다도 작게 설정하여 분리폭의 축소를 도모하고 있다.

<<실시 형태 17>>

<<제1 형태>>

도 90은 본 발명의 실시 형태 17인 S01 구조의 반도체 장치의 제1 형태의 구조를 나타낸 단면도이다. 또, 제1 형태는 도 91에 도시한 회로를 실현하고 있다. 도 91에 도시한 바와 같이, 아날로그 회로용 트랜지스터 Q21의 게이트 전극과 아날로그 회로용 트랜지스터 Q22의 한쪽 전극 사이가 스파이럴 인덕터(199)를 통해 접속되는 회로 구성이 제1 형태의 회로 구성이다.

도 90에 도시한 바와 같이, 고저항 실리콘 기판(200) 상에 매립 산화막(2)이 형성되고, 매립 산화막(2) 상의 S01층(3)에 아날로그 회로용 트랜지스터 Q21 및 Q22가 제조되어 있다.

아날로그 회로용 트랜지스터 Q21 및 Q22는 모두 드레인 영역(5), 소스 영역(6), 채널 형성 영역(7), 게이트 산화막(8) 및 게이트 전극(9)으로 구성되고, 아날로그 회로용 트랜지스터 Q21, Q22 사이는 비교적 형성 면적이 큰 산화막(210)에 의해 완전 분리되고, 아날로그 회로용 트랜지스터 Q21, Q22와 다른 주변부는 비교적 형성 면적이 작은 산화막(33)으로 완전 분리되어 있다. 또, 산화막(210 및 33)의 하측의 일부에는 웰 영역(290)이 형성되어 있다.

아날로그 회로용 트랜지스터 Q21, Q22를 포함하는 S01층(3) 전면에는 층간 절연막(4)이 형성되고, 층간 절연막(4) 상에 선택적으로 제1 배선층(221)이 형성된다. 제1 배선층(221)의 일부는 콘택트홀(244)을 통해 아날로그 회로용 트랜지스터 Q21, Q22 각각의 드레인 영역(5) 및 소스 영역(6)과 전기적으로 접속된다.

제1 배선층(221)을 포함하는 층간 절연막(4) 상의 전면에는 층간 절연막(220)이 형성되고, 층간 절연막(220) 상에 선택적으로 제2 배선층(222)이 형성되며, 제2 배선층(222)의 일부에 의해 스파이럴 인덕터(199)를 형성하고 있다. 제2 배선층(222)의 일부는 콘택트홀(254)을 통해 대응하는 제1 배선층(221)과 전기적으로 접속된다. 또, 아날로그 회로용 트랜지스터 Q21의 게이트 전극(9)은 도시하지 않은 영역으로부터 층간 절연막(4)에 형성되는 콘택트홀을 통해 제1 배선층(221)과 접속된다.

이러한 구성의 제1 형태는, 스파이럴 인덕터(199)의 아래쪽으로 산화막(210) 및 웰 영역(29)으로 이루어지는 완전 절연 영역을 설치함으로써, 스파이럴 인덕터(199)에 수반하는 기생 용량의 저감을 도모하고 있다. 즉, 스파이럴 인덕터(199) 하의 분리 영역을 산화막과 웰 영역과의 부분 분리 영역에서 형성한 경우, 웰 영역과 스파이럴 인덕터(199) 사이에서 기생 용량이 발생하고, 성능 지수 Q(에너지 손실과 스토어의 비)가 저하하여 에너지 손실이 발생하는 등에 의해 원하는 인덕턴스 성능이 얻어지지 않는다고 하는 문제점을 해소하고 있다.

또한, 제1 형태는 S01 기판의 기초 기판으로서 고저항 실리콘 기판(200)을 이용함으로써, 와전류나 용량을 통한 전력 손실의 저감화, 기생 용량의 저감화를 도모하여, 성능 지수 Q의 향상시킬 수 있다.

또한, 아날로그 회로는 외래 노이즈를 꺼리기 때문에, 아날로그 회로용 트랜지스터 Q21, Q22의 주변을 산화막(210) 혹은 산화막(33)에 의해 완전 분리하여, 외부와 전기적 차단을 하여, 성능의 향상을 도모하고 있다.

또한, 도 90에서는 도시하고 있지 않지만, 패드부 아래쪽으로 부분 분리 영역을 형성하면 스파이럴 인덕터와 마찬가지로 큰 기생 용량이 발생하기 쉬어 용량 손실이 생기기 용이하기 때문에, 패드부 아랫쪽에도 스파이럴 인덕터(199)의 하측과 마찬가지로 완전 분리 영역을 설치하는 것이 바람직하다.

<제2 형태>

도 92는 본 발명의 실시 형태 17인 S01 구조의 반도체 장치의 제2 형태의 구조를 나타낸 단면도이다. 또, 제2 형태는 제1 형태와 마찬가지로 도 91에 도시한 회로를 실현하고 있다.

도 92에 도시한 바와 같이, 아날로그 회로용 트랜지스터 Q21, Q22 사이는 비교적 형성 면적이 큰 산화막(218) 및 그 하측의 고저항 영역(223) 및 웰 영역(224)에 의해 보다 부분 분리되고, 아날로그 회로용 트랜지스터 Q21, Q22와 다른 주변부는 비교적 형성 면적이 작은 산화막(31) 및 그 하측의 웰 영역(11)(12)에서 부분 분리되어 있다.

산화막(218) 하의 대부분의 영역은 고저항 영역(223)에서 형성되고, 주변부의 일부만 웰 영역(224)이 형성되어 있다. 또, 다른 구성은 도 90에 도시한 제1 형태와 마찬가지로이다.

제2 형태와 같이, 부분 분리를 행하면서, 스파이럴 인덕터(199) 하의 부분 분리 영역의 대부분은 산화막(218)과 고저항 영역(223)에 의해 구성함으로써, 스파이럴 인덕터(199)에 수반하는 기생 용량을 충분히 억제할 수 있다.

고저항 영역(223)의 형성 방법으로는, 고저항 영역(223)에는 불순물을 도입하지 않도록 제조하는 등 고려된다. 또한, 예를 들면  $1 \times 10^{20}/\text{cm}^3$  정도의 고농도의 실리콘 주입을 행하여 산화막의 하측 영역을 비정질화하고, 그 후, 열처리로 폴리실리콘화하여 고저항 영역(223)을 형성하는 것도 가능하다.

<<실시 형태 18>>

도 93은 본 발명의 실시 형태 18인 S01 구조의 반도체 장치의 구성을 나타낸 평면도이다. 상기 도면에 도시한 바와 같이, DT-MOS 영역(225, 226) 사이를 완전 분리 영역(240)으로 완전 분리하고 있다. 또, DT-MOS는, 게이트 전극과 보디 영역(채널 형성 영역)을 동일 전위에 설정하는 MOS 트랜지스터이다.

DT-MOS 영역(225, 226)은 각각 p형의 웰 영역(231: 부분 분리 영역 230) 내에 n<sup>+</sup>의 NMOS 활성 영역(232)과 p<sup>+</sup>의 보디 영역(234)을 설치하고, NMOS 활성 영역(232)은 콘택트(238)를 통해 배선층(239)에 접속함과 함께, NMOS 활성 영역(232)의 중심부에 설치되는 게이트 전극(233)은 콘택트(235: 게이트 콘택트)를 통해

배선층(237)에 전기적으로 접속되고, 보디 영역(234)은 컨택트(236: 보디 컨택트)를 통해 배선층(237)에 전기적으로 접속된다.

배선층(237)에 의해 게이트 전극(233)과 보디 영역(234)을 동일 전위에 설정하여, 온상태의 임계치 전압을 저하시켜 동작 속도의 향상을 도모하고 있다.

이와 같이, 실시 형태 18은, 보디 영역(234) 및 웰 영역(231)을 통해 채널 형성 영역의 전위를 고정할 수 있음과 함께, 완전 분리 영역(240)에 의해 DT-MOS 영역(225, 226) 사이를 완전 분리할 수 있기 때문에, 성능이 좋은 DT-MOS를 비교적 용이하게 형성할 수 있다. 또, 보디 컨택트와 게이트 컨택트는 공유 컨택트에 의해 동시에 접속하여도 좋다.

#### <<실시 형태 19>>

도 94는 본 발명의 실시 형태 19인 SOI 구조의 반도체 장치의 구조를 나타낸 단면도이다.

상기 도면에 도시한 바와 같이, 게이트폭  $W_g$ 가 비교적 좁은 트랜지스터를 형성하는 트랜지스터 형성 영역(227)에는, 드레인 영역(245), 소스 영역(246), 채널 형성 영역(247), 게이트 산화막(248) 및 게이트 전극(249)으로 이루어지는 MOS 트랜지스터를 구성하며, 각 MOS 트랜지스터 사이를 부분 산화막(31) 및 웰 영역(11)(12)에 의해 부분 분리하고, 주위는 완전 산화막(32)에 의해 완전 분리하고 있다.

MOS 트랜지스터를 포함하는 SOI층(3) 상의 전면에 층간 절연막(4)이 형성되고, 층간 절연막(4) 상에 선택적으로 배선층(242)이 형성된다. 배선층(342)은 컨택트홀(241)을 통해 드레인 영역(245) 및 소스 영역(246)에 전기적으로 접속된다.

한편, 게이트폭  $W_g$ 가 비교적 넓은 트랜지스터를 형성하는 트랜지스터 형성 영역(228)에는, 드레인 영역(255), 소스 영역(256), 채널 형성 영역(257), 게이트 산화막(258) 및 게이트 전극(259)으로 이루어지는 MOS 트랜지스터를 구성하고, 각 MOS 트랜지스터 사이를 부분 산화막(31) 및 웰 영역(11)(12)에 의해 부분 분리하고, 주위는 완전 산화막(32)에 의해 완전 분리하고 있다.

MOS 트랜지스터를 포함하는 SOI층(3) 상의 전면에 층간 절연막(4)이 형성되고, 층간 절연막(4) 상에 선택적으로 배선층(252)이 형성된다. 배선층(252)은 컨택트홀(251)을 통해 드레인 영역(255) 및 소스 영역(256)에 전기적으로 접속된다.

게이트폭  $W_g$ 가 좁은 트랜지스터 형성 영역(227)에 형성되는 드레인 영역(245) 및 소스 영역(246)의 형성 깊이를, 빌트인 상태 시에 드레인/소스로부터의 공핍층(243)의 적어도 일부가 매립 산화막(2)에 도달하는 깊이로 설정하고, 접합 용량의 저감화를 도모하고 있다. 또, 드레인 영역(245) 및 소스 영역(246)의 형성 깊이를 매립 산화막(2)에 도달하는 깊이로 설정하여도 좋다.

한편, 게이트폭  $W_g$ 가 넓은 트랜지스터 형성 영역(228)에 형성되는 드레인 영역(255) 및 소스 영역(256)의 형성 깊이를, 빌트인 상태 시의 드레인/소스로부터의 공핍층(253)이 매립 산화막(2)에 도달하지 않도록 설정하고, 확실하게 채널 형성 영역(257)의 전위 고정을 할 수 있도록 하고 있다.

또, 트랜지스터 형성 영역(227 및 228)에 형성되는 2종류의 드레인/소스 영역은, 소스/드레인 형성 시의 불순물의 주입 에너지를 변화시키거나, NUDC(Non Uniformly Doped Channel)의 주입량을 변화시킴으로써 실현된다.

또한, 빌트인 상태 시에 공핍층이 매립 산화막(2)에 도달하지 않을 정도의 깊이의 소스/드레인 영역을 임시로 형성한 후, 트랜지스터 형성 영역(227)측의 소스/드레인 영역에 대해서만 형성 깊이가 깊어지도록, 재차 불순물의 추가 주입을 행함으로써 실현 가능하다.

#### <<실시 형태 20>>

##### <제1 형태>

도 95는 본 발명의 실시 형태 20인 SOI 구조의 반도체 장치의 제1 형태의 구조를 나타낸 단면도이다. 상기 도면에 도시한 바와 같이, 실리콘 기판(1) 및 매립 산화막(2) 상의 SOI층(3)에  $n^+$ 영역(261, 262)을 선택적으로 설치하고,  $n^+$ 영역(261, 262) 사이에  $p$ 영역(263) 및 산화막(264)으로 이루어지는 부분 분리 영역을 설치하고 있다. 그리고,  $n^+$ 영역(261, 262),  $p$ 영역(263) 및 산화막(264)으로 이루어지는 필드 트랜지스터를 구성하고 있다. 또, 필드 트랜지스터는, MOS 트랜지스터의 게이트부(게이트 산화막, 게이트 전극)로 대체하여 산화막을 설치한 구조를 나타내고 있다.

이와 같이 제1 형태는,  $p$ 영역(263) 및 산화막(264)으로 이루어지는 부분 분리 영역 구조를 이용하여 필드 트랜지스터를 구성하고 있다. 필드 트랜지스터는 보호 회로용 소자 등에 응용할 수 있다.

실시 형태 20의 필드 트랜지스터의 게이트부의 구성은 부분 분리 영역과 기본적으로 동일한 구성이기 때문에, 부분 분리 영역과 함께 게이트부를 구성함으로써, 비교적 용이하게 필드 트랜지스터를 형성할 수 있다.

도 96은 회로의 입력부에 있어서의 필드 트랜지스터 이용예를 나타낸 회로도이다. 상기 도면에 도시한 바와 같이, 필드 트랜지스터 Q31의 한쪽 전극이 외부 입력 단자 P1에 접속되고 다른쪽 전극이 접지된다. 또한, 전원, 접지 사이에 필드 트랜지스터 Q33를 설치하고 있다. 또, 다른 구성은 도 68에 도시 회로 구성과 동일하기 때문에, 설명은 생략한다.

이와 같이, 필드 트랜지스터 Q31에 의해 외부 입력 단자 P1, 접지 레벨 사이의 보호, 필드 트랜지스터 Q33에 의해 전원, 접지 레벨 사이의 기생 다이오드 패스를 설치하고 있다.

도 97은 회로의 출력부에 있어서의 필드 트랜지스터 이용예를 나타낸 회로도이다. 상기 도면에 도시한 바와 같이, 필드 트랜지스터 Q32의 한쪽 전극이 외부 출력 단자 P4에 접속되어 다른쪽 전극이 접지된다.

또한, 전원, 접지 사이에 필드 트랜지스터 Q34를 설치하고 있다. 또, 다른 구성은 도 67에 도시하며 회로 구성과 마찬가지로, 설명은 생략한다.

이와 같이, 필드 트랜지스터 Q32에 의해 외부 출력 단자 P4, 접지 레벨 사이의 보호, 필드 트랜지스터 Q34에 의해 전원, 접지 레벨 사이의 기생 다이오드 패스를 설치하고 있다.

또, 필드 트랜지스터는 도 95에 도시한 바와 같이 NMOS 유사 구조가 방전 능력이 높기 때문에 바람직하지만, PMOS 유사 구조를 이용하여도 좋다. 이 경우, 필드 트랜지스터 Q31, Q32를 대신하여, 전원과 외부 입력 단자 P1 사이에 필드 트랜지스터를 설치할 필요가 있다.

#### <제2 형태>

도 98은 본 발명의 실시 형태 20인 S01 구조의 반도체 장치의 제2 형태의 구조를 나타낸 단면도이다. 상기 도면에 도시한 바와 같이, n<sup>+</sup>영역(261, 262)의 주위를 완전 산화막(265)에 의해 완전 분리하고 있다. 다른 구성은 도 95에 도시한 제1 형태와 마찬가지로, 설명은 생략한다.

제2 형태는, 필드 트랜지스터 전체를 완전 산화막(265)으로 둘러싸고 있기 때문에, 잡음 차단 등에 있어서 큰 효과를 기대할 수 있다. 또한, 필드 트랜지스터를 보호 회로로서 이용할 때, 다른 구성 소자에서의 전류의 기생 패스를 확실하게 방지할 수 있다.

#### <제3 형태>

도 99는 본 발명의 실시 형태 20인 S01 구조의 반도체 장치의 제3 형태의 구성을 나타낸 평면도이다. 복수의 n<sup>+</sup>영역(261, 262)을 교대로 배치하고, 각 n<sup>+</sup>영역(261, 262)사이를 산화막(264) 및 p<sup>+</sup>영역(263)에 의해 부분 분리하고, 주위 전체를 완전 산화막(265)에 의해 완전 분리하고 있다.

복수의 n<sup>+</sup>영역(261)은 공통으로 접속 단자 P11에 접속되고, 복수의 n<sup>+</sup>영역(262)은 공통으로 접속 단자 P12에 접속된다. 이와 같이, 빗형 구조로 배치된 복수의 n<sup>+</sup>영역(261 및 262)을 전기적으로 병렬로 접속함으로써, 방전 능력을 높일 수 있다.

#### <기타>

또, 필드 트랜지스터의 소스/드레인 영역(n<sup>+</sup>영역 261, 262)을 매립 산화막(2)에 도달시키지 않고, 공핍층이 매립 산화막(2)에 도달하는 레벨의 깊이로 형성하여도 좋다.

#### <<보충>>

소스/드레인 영역을 매립 산화막에 도달시키기 위해, 통상의 수법으로 불순물의 주입 깊이를 충분히 깊게 하여 소스/드레인 영역을 형성하거나, 불순물 피크가 얇은 불순물 주입 후에 불순물 피크가 깊은 불순물 주입을 행하도록 하여도 좋다.

그러나, 상기한 방법에서는, 도 85에 도시한 실시 형태 14의 제1 형태와 같이 소스/드레인 영역이 얇은 부분에 불순물 농도의 피크를 갖게 하며, 또한 S01층(3)을 관통하는 깊이로 불순물 분포를 갖게 할 수 없다.

그래서, 주입 각도를 0도 근방에 주입 에너지를 충분히 작게 하여 불순물의 이온 주입을 행하는 등의 방법을 적용함으로써, 불순물 피크는 도 100의 L1로 도시한 바와 같이 S01층(3)의 비교적 얇은 위치에 설정함과 함께, 채널링 현상에 의한 테일 프로파일에 의해, 도 100의 L2에 도시한 불순물 분포와 같이, 불순물이 S01층(3)을 관통하여 매립 산화막(2)에 도달하도록 분포시킬 수 있다.

#### 발명의 효과

이상 설명한 바와 같이, 본 발명에 따른 반도체 장치에 있어서, 소자 분리 영역 중 적어도 1개의 영역은, 상층부에 설치된 부분 절연 영역과 하층부에 존재하는 S01층의 일부인 반도체 영역으로 구성되는 부분 분리 영역을 포함하며, 반도체 영역은 복수의 소자 형성 영역의 적어도 1개의 영역 및 보디 영역과 접하여 형성되기 때문에, 부분 절연 영역에 의해 복수의 소자 형성 영역을 절연 분리함과 함께, 상기 적어도 1개의 소자 형성 영역을 상기 반도체 영역 및 상기 보디 영역에 의해 전위 고정할 수 있다.

그 결과, 상기 적어도 1개의 소자 형성 영역의 기판 부유 효과를 저감한 S01 구조의 반도체 장치를 얻을 수 있다.

본 발명에 따른 반도체 장치에 있어서, 복수의 제1 소자 형성 영역은 각각 부분 분리 영역에 의해 소자 분리되고, 복수의 제2 소자 형성 영역은 각각 부분 분리 영역에 의해 소자 분리되고, 복수의 제1 소자 형성 영역과 복수의 제2 소자 형성 영역은 S01층을 관통한 완전 분리 영역에 의해 소자 분리되기 때문에, 다른 소자 사이의 소자 형성 영역을 완전히 절연 분리함과 함께, 동일한 소자 내의 소자 형성 영역의 기판 부유 효과를 저감할 수 있다.

본 발명에 따른 반도체 장치에 있어서, 제1 회로용의 복수의 소자 형성 영역은 S01층을 관통한 완전 분리 영역에 의해 소자 분리되고, 제2 회로용의 복수의 소자 형성 영역은 부분 분리 영역에 의해 소자 분리된다.

따라서, 기판 부유 효과의 영향을 중시하는 회로는 제2 회로로 하고, 기판 부유 효과를 중시하지 않은 회로는 제1 회로로서 취급함으로써, 형성하는 회로의 성질에 기초한 적절한 절연 분리를 행할 수 있다.

본 발명에 따른 반도체 장치에 있어서, 제1 부분 S01층의 막 두께는 제2 부분 S01층의 막 두께보다도 얇게 형성되고, 복수의 제1 회로용의 소자 형성 영역은 제1 부분 S01층에 형성되고, 복수의 제2 소자 형성 영역은 제2 회로용의 부분 S01층에 형성된다.

따라서, 제1 및 제2 부분 S01층의 막 두께의 차이를 이용하여, 제1 부분 S01층을 관통한 완전 분리층 트랜치와 제2 부분 S01층을 관통하지 않은 부분 분리층 트랜치를, 제1 및 제2 부분 S01층에 대해 동시에 형성할 수 있기 때문에, 제조 공정의 간략화를 도모할 수 있다.

본 발명에 따른 반도체 장치에 있어서, 소정의 회로용 소자 형성 영역과 다른 회로용 소자 형성 영역은 S01층을 관통한 완전 분리 영역에 의해 소자 분리되기 때문에, 상기 다른 회로는 소정의 회로에서의 영향을 완전히 차단할 수 있다.

본 발명에 따른 반도체 장치에 있어서, 부분 분리 영역에 의해 소자 분리된 소자 형성 영역에 형성되는 소자의 활성 영역의 S01층 표면으로부터 형성 깊이는, 부분 분리 영역의 형성 깊이보다 얇게 형성되기 때문에, 부분 분리 영역에 의한 분리 특성의 열화를 최소한으로 억제할 수 있다.

본 발명에 따른 반도체 장치에 있어서, 반도체 영역은 폴리실리콘 영역을 포함하기 때문에, 반도체 영역을 정밀도 양호하게 형성할 수 있다.

본 발명에 따른 반도체 장치에 있어서, 부분 절연 영역은 저유전률막을 포함하기 때문에, 부분 절연 영역의 용량치에 기초하는 문제점을 최소한으로 억제할 수 있다.

본 발명에 따른 반도체 장치에 있어서, 부분 절연 영역은 적어도 측면에 설치된 부분 절연막과 그 이외의 영역에 설치된 저유전률막을 포함하기 때문에, 부분 절연 영역의 측면 방향으로 형성되는 소자의 영향을 부분 절연막에 의해 효과적으로 억제하면서, 부분 절연 영역의 용량치에 기초하는 문제점을 억제할 수 있다.

본 발명에 따른 반도체 장치에 있어서의 복수의 소자 분리 영역의 적어도 하나의 영역은 소정의 형성폭으로 상기 반도체 기판의 표면에 대해 거의 수직으로 연장되어 형성되기 때문에, 집적도를 손상하지 않고 소자 분리를 행할 수 있다.

본 발명에 따른 반도체 장치의 보디 영역은, 복수의 소자 형성 영역중, 적어도 1개의 소자 형성 영역의 표면 혹은 이면에 접하도록 형성되기 때문에, 상기 적어도 1개의 소자 형성 영역을 상기 보디 영역에 의해 전위 고정할 수 있다.

본 발명에 따른 반도체 장치에 있어서, 보디 영역은, S01층 하의 매립 절연층의 상층부에 형성되기 때문에, 소자 분리 영역에 의한 소자 분리 특성에 부여하는 악영향을 최소한으로 억제할 수 있다.

본 발명에 따른 반도체 장치에 있어서, 보디 영역은, 매립 절연층을 관통하여 형성되기 때문에, 반도체 기판측으로부터 상기 적어도 1개의 소자 형성 영역을 상기 보디 영역을 통해 전위 고정할 수 있다.

본 발명에 따른 반도체 장치에 있어서, 보디 영역은, 적어도 1개의 소자 형성 영역의 상층에 설치되고, 적어도 1개의 소자 형성 영역의 표면에 접하기 때문에, 비교적 간단하게 형성할 수 있다.

본 발명에 따른 반도체 장치는, 소자 분리 영역 중 적어도 일부의 영역은, S01층을 관통한 완전 절연 영역과 부분 분리 영역이 연속하여 형성되는 복합 분리 영역을 포함하고 있고, 복수의 소자 형성 영역중 복합 분리 영역에 의해 분리되는 소자 형성 영역 사이는, 복합 분리 영역의 완전 절연 영역에 의해 완전히 절연 분리할 수 있다.

본 발명에 따른 반도체 장치의 부분 분리 영역의 상면은 요철 없이 균일하게 형성되기 때문에, MOS 트랜지스터의 게이트 전극 등의 소정의 소자의 구성 요소를 형성할 때의 패터닝이 용이하게 된다고 하는 효과를 발휘한다.

본 발명에 따른 반도체 장치의 복합 분리 영역의 반도체 영역의 막 두께는, S01층의 막 두께의 1/2 이하로 설정되기 때문에, 복합 분리 영역에 의해 충분히 고도한 분리 특성을 얻을 수 있다.

본 발명에 따른 반도체 장치의 복합 분리 영역에 있어서 완전 절연 영역의 형성폭은 복합 분리 영역 전체의 형성폭의 1/2 이하로 설정되기 때문에, 복합 분리 영역을 구성하는 부분 분리 영역의 반도체 영역의 면적을 충분히 확보할 수 있어, 이 반도체 영역에 접한 소자 형성 영역의 전위 고정을 안정성 양호하게 행할 수 있다.

본 발명에 따른 반도체 장치의 완전 분리 영역은 적어도 입출력 NMOS 트랜지스터 형성 영역과 입출력 PMOS 트랜지스터 형성 영역과의 경계 근방 영역에 형성되기 때문에, 래치업 현상을 효과적으로 억제할 수 있다.

본 발명에 따른 반도체 장치의 완전 분리 영역은, 입출력용 트랜지스터 형성 영역과 내부 회로 형성 영역 사이의 경계 근방 영역에 더욱 형성되기 때문에, 노이즈 영향을 받기 쉬운 입출력용 트랜지스터 형성 영역의 영향을 내부 회로 형성 영역에서 완전히 차단할 수 있다.

본 발명에 따른 반도체 장치의 완전 분리 영역은 NMOS 트랜지스터 형성 영역과 입출력 PMOS 트랜지스터 형성 영역과의 경계 근방의 PMOS 트랜지스터 형성 영역 내의 완전 분리 영역 형성 개소에만 형성되고, 부분 분리 영역은 NMOS 트랜지스터 형성 영역의 주변 영역, 및 완전 분리 영역 형성 개소를 제외하는 NMOS 트랜지스터 형성 영역의 주변 영역에 형성되기 때문에, NMOS 트랜지스터의 기판 전위의 고정을 부족 없이 행하고, NMOS 트랜지스터 형성 영역, PMOS 트랜지스터 형성 영역 사이의 경계를 면적 효율적으로 완전 분리할 수 있다.

본 발명에 따른 반도체 장치의 부분 분리 영역은 MOS 트랜지스터 영역의 게이트 전극의 적어도 일단 근방의 부분 분리 영역 형성 개소에 형성되고, 완전 절연 영역은, 부분 분리 영역 형성 개소를 제외하는 MOS 트랜지스터 형성 영역의 주변 영역에 형성되기 때문에, MOS 트랜지스터의 게이트 전극 하층의 채널 형성 영역의 전위 고정을 효과적으로 행하면서, 완전 분리 영역에 의해 MOS 트랜지스터 형성 영역을 주위에서 거의 완전히 분리할 수 있다.

본 발명에 따른 반도체 장치의 보디 영역은, 주변 부분 분리 영역의 주위에 둘러싸여 형성되는 제2 도전

형의 주변 보디 영역을 포함하기 때문에, 주변 보디 영역을 전위 고정함으로써 트랜지스터 형성 영역을 주위에서 효과적으로 분리할 수 있다.

본 발명에 따른 반도체 장치의 소스 인접 보디 영역은 MOS 트랜지스터 형성 영역의 소스 영역에 인접하여 형성되고, 전위 설정 영역에 의해 소스 영역과 공통 접속되기 때문에, 소스 영역에 인접하여 소스 인접 보디 영역을 형성할 수 있는 만큼, 집적도의 향상을 도모할 수 있다.

본 발명에 따른 반도체 장치의 부분 분리 영역의 반도체 영역을 구성하는 제1 및 제2 부분 반도체 영역의 불순물 농도를 다르게 설정함으로써, 부분 분리 영역에 의한 분리 특성, 기관 부유 효과의 저감화 등에 알맞는 반도체 영역을 얻을 수 있다.

본 발명에 따른 반도체 장치의 비교적 불순물 농도가 높은 제1 부분 반도체 영역은 복수의 소자 형성 영역 중 분리 대상의 소자 형성 영역에 인접하는 주변 영역을 포함하기 때문에, 부분 분리 영역에 의한 분리에 의한 편치스루 내성의 향상을 도모할 수 있다.

본 발명에 따른 반도체 장치의 비교적 불순물 농도가 높은 제1 부분 반도체 영역은 MOS 트랜지스터 형성 영역의 게이트 전극 근방 영역을 포함하며, 비교적 불순물 농도가 낮은 제2 부분 반도체 영역은 MOS 트랜지스터 형성 영역의 드레인/소스 근방 영역을 포함하기 때문에, PN 접합 용량의 저하와 편치스루 내성의 향상을 도모할 수 있다.

본 발명에 따른 반도체 장치의 부분 분리 영역에서의 반도체 영역의 불순물 농도의 피크가, MOS 트랜지스터 형성 영역의 드레인/소스 영역의 불순물 농도의 피크보다, SOI층의 표면으로부터의 깊이가 깊어지도록 설정되기 때문에, 드레인/소스 영역과 반도체 영역 사이의 PN 접합 내압을 높일 수 있다.

본 발명에 따른 반도체 장치의 MOS 트랜지스터 형성 영역의 채널 형성 영역의 불순물 농도의 피크가, 부분 분리 영역에서의 반도체 영역의 불순물 농도의 피크보다, SOI층의 표면으로부터의 깊이가 깊어지도록 설정되기 때문에, MOS 트랜지스터의 임계치 전압이 원하는 값보다 커지지 않도록 할 수 있다.

본 발명에 따른 반도체 장치에 있어서, 완전 절연 영역에 인접하여 형성되는 제1 부분 반도체 영역의 불순물 농도를 그 이외의 반도체 영역인 제2 부분 반도체 영역의 불순물 농도보다도 높게 설정하였기 때문에, SOI층에 걸리는 스트레스 등에 의해 발생하는 문제점을 억제할 수 있다.

본 발명에 따른 반도체 장치는, 부분 분리 영역의 표면에서의 각부의 곡률 반경보다 저면에 있어서의 각부의 곡률 반경을 크게 함으로써, 분리쪽의 축소를 도모하면서 SOI층에 걸리는 스트레스 완화를 도모하고 있다.

본 발명에 따른 반도체 장치는, 복합 분리 영역에 있어서, 부분 절연 영역의 저면에 있어서의 각부보다 절연 분리 영역과 부분 절연 영역 사이에 생기는 단차부의 곡률 반경을 작게 함으로써, 분리쪽의 축소를 도모하면서 SOI층에 걸리는 스트레스 완화를 도모하고 있다.

본 발명에 따른 반도체 장치에 있어서, 완전 분리 영역은 인덕턴스 형성 영역의 아래쪽으로 형성되기 때문에, 인덕턴스 성분에 수반하는 기생 용량의 저감화를 도모할 수 있다.

본 발명에 따른 반도체 장치의 보디 영역은 MOS 트랜지스터 형성 영역에 형성되는 MOS 트랜지스터의 게이트 전극에 전기적으로 접속되는 게이트 접속 보디 영역을 포함하며, 부분 분리 영역은 MOS 트랜지스터 형성 영역의 주위에 둘러싸여 형성되기 때문에, 게이트 전극과 게이트 접속 보디 영역을 동일 전위에 설정하는 DT-MOS 트랜지스터의 성능 향상을 도모할 수 있다.

본 발명에 따른 반도체 장치의 소자의 활성 영역의 형성 깊이는 빌트 인 상태 시에 소자의 활성 영역에서 연장되는 공핍층이 매립 절연층에 도달하지 않는 레벨로 설정되기 때문에, 부분 분리 영역의 반도체 영역과 활성 영역 사이의 접합 용량의 저감화를 도모할 수 있다.

본 발명에 따른 반도체 장치의 필드 트랜지스터는, 제1 및 제2 활성 영역 사이에 형성되고, 상층부에 설치된 필드 트랜지스터용 부분 절연 영역과 하층부에 존재하는 SOI층의 일부인 필드 트랜지스터용 반도체 영역으로 구성되는 게이트부에 의해 구성된다.

게이트부의 구성은 부분 분리 영역과 기본적으로 동일한 구성이기 때문에, 부분 분리 영역과 동시에 게이트부를 구성함으로써, 비교적 용이하게 필드 트랜지스터를 형성할 수 있다.

본 발명에 따른 반도체 장치의 주변 소자 분리 영역은, 상층부에 설치된 부분 절연 영역과 하층부에 존재하는 SOI층의 일부인 반도체 영역으로 구성되는 부분 분리 영역을 포함하며, 상기 부분 분리 영역의 반도체 영역은 소자 형성 영역과 접하여 형성됨과 함께 부유 상태에 설정되기 때문에, 부분 절연 영역에 의해 소자 형성 영역을 주위에서 분리함과 함께, 상기 적어도 1개의 영역 내에서 출몰 전리에 의해 발생하는 캐리어나 우주선에 의해 발생하는 전하 등을 상기 반도체 영역으로 분산시킬 수 있기 때문에, 전위 상승을 억제하여, 소프트 에러 내성을 향상시킬 수 있다.

본 발명에 따른 반도체 장치의 제조 방법에 의해 형성되는 반도체 장치에 있어서, 복수의 소자 형성 영역 중, 적어도 1개의 트랜치 내의 절연막과 그 하측의 SOI층에 의해 소자 분리되는 소자 형성 영역에 대해, 기관 부유 효과를 억제한 소자 분리가 이루어진다.

본 발명에 따른 반도체 장치의 제조 방법에 의해 형성되는 복수의 소자 형성 영역은, 제1 트랜치 내의 절연막과 그 하측의 SOI층에 의해 기관 부유 효과를 억제한 소자 분리가 이루어짐과 함께, SOI층을 관통한 제2 트랜치 내의 절연막에 의해 완전한 소자 분리가 이루어진다.

본 발명에 따른 반도체 장치의 제조 방법은, 제1 및 제2 트랜치 사이의 형성폭의 차이를 이용하여, 측벽체를 마스크로 하여 제2 트랜치의 중심부 아래의 SOI층을 관통시킴으로써, 레지스트를 이용하지 않고 부분 분리 영역과 완전 분리 영역을 선택적으로 형성할 수 있다.

본 발명에 따른 반도체 장치의 제조 방법은, 복수의 트랜치의 하측의 SOI층에 불순물을 도입하여 고농도

영역을 형성함으로써, 고농도 영역을 통해 고농도 영역에 접하는 소자 형성 영역을 안정성 용이하게 전위 고정할 수 있다.

본 발명에 따른 반도체 장치의 제조 방법은, 실리콘층과 에피택셜 성장층에 의해 SOI층을 구성하기 때문에, 결정성이 좋은 SOI층을 형성할 수 있다.

본 발명에 따른 반도체 장치의 제조 방법은, 제1 트랜치 내의 절연막과 제1 트랜치 내에 잔존한 폴리실리콘층에 의해 부분 분리 영역을 형성하고 있다. 따라서, 소자 형성 영역과 전기적으로 접촉하는 폴리실리콘층의 막 두께를 제어성 용이하게 형성할 수 있다.

본 발명에 따른 반도체 장치의 제조 방법은, 매립 절연층에 형성된 구멍부를 폴리실리콘층으로 매립하고, 적어도 1개의 소자 형성 영역과 전기적 접속 관계를 갖는 보디 영역을 형성하고 있다.

따라서, 보디 영역은, SOI층 아래의 매립 절연층에 형성되기 때문에, 소자 분리 영역에 의한 절연 분리에 미치는 악영향을 최소화할 수 있다.

본 발명에 따른 반도체 장치의 제조 방법은, 적어도 1개의 소자 형성 영역의 단부 이면으로부터 에피택셜 성장시킨 에피택셜 성장층과 폴리실리콘층으로 이루어지는 보디 영역을 형성하고 있다.

따라서, 에피택셜 성장층을 통해 있는 만큼, 상기 적어도 1개의 소자 형성 영역에 형성되는 소자와 폴리실리콘층과의 거리를 충분히 확보할 수 있어, 양호한 전기적 특성을 얻을 수 있다.

본 발명에 따른 반도체 장치의 제조 방법의 단계(d)는, SOI층의 상층부에 농도 분포의 피크가 존재하고, 또한 채널링 현상이 생기도록 소정의 도전형의 불순물을 도입하여 소정의 소자의 활성 영역을 형성하는 단계를 포함하기 때문에, SOI층의 상층부에 불순물 농도의 피크를 존재시키면서, 채널링 현상에 의해 매립 절연막의 표면에 걸쳐 불순물이 분포하는 소정의 소자의 활성 영역을 얻을 수 있다.

본 발명에 있어서의 반도체 장치의 제조 방법은, 단계(b), (c)를 행함으로써, 복합 분리 영역용의 복합 트랜치와 부분 분리 영역용의 비관통 트랜치를 동시에 형성할 수 있다.

본 발명에 따른 반도체 장치의 설계 방법은 단계 (c)에서, 과거 데이터에 있어서의 웰 영역의 외주 근방 영역에, SOI층을 관통하는 완전 절연 영역으로 이루어지는 완전 분리 영역을 설정하기 때문에, 과거 데이터를 유효하게 활용하여 제1 및 제2 MOS 트랜지스터의 형성 영역 사이를 효과적으로 분리하는 완전 분리 영역을 설정할 수 있다.

#### (57) 청구의 범위

청구항 1. 반도체 기판, 매립 절연층 및 SOI층(3)으로 이루어지는 SOI 구조의 반도체 장치에 있어서,

상기 SOI층에 설치되고, 각각에 소정의 소자가 형성되는 복수의 소자 형성 영역과,

상기 SOI층에 설치되고, 상기 복수의 소자 형성 영역 사이를 절연 소자 분리하는 소자 분리 영역과,

상기 SOI층에 설치되고, 외부로부터 전위 고정 가능한 보디 영역을 구비하며,

상기 소자 분리 영역 중 적어도 일부의 영역은 상층부에 설치된 부분 절연 영역과 하층부에 존재하는 상기 SOI층의 일부의 반도체 영역으로 구성되는 부분 분리 영역을 포함하고, 상기 반도체 영역은 상기 복수의 상기 소자 형성 영역 중 적어도 1개의 소자 형성 영역 및 상기 보디 영역과 접하여 형성되는 것을 특징으로 하는 반도체 장치.

청구항 2. (a) 반도체 기판, 매립 절연층 및 SOI층으로 이루어지는 SOI 구조의 SOI 기판을 준비하는 단계와,

(b) 상기 SOI층을 선택적으로 표면으로부터 관통시키지 않고 제거하여, 복수의 트랜치를 형성하는 단계 - 상기 복수의 트랜치 사이의 상기 SOI층의 영역이 복수의 소자 형성 영역이 됨 - 을 포함하며,

(c) 상기 복수의 트랜치 각각에 절연막을 매립하는 단계 - 상기 복수의 트랜치 중 적어도 1개의 트랜치 내의 절연막과 상기 적어도 1개의 트랜치 하의 상기 SOI층에 의해 부분 분리 영역이 구성됨 - , 및

(d) 상기 복수의 소자 형성 영역 각각에 소정의 소자를 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 3. (a) 반도체 기판, 매립 절연층 및 SOI층으로 이루어진 SOI 구조의 SOI 기판을 준비하는 단계와,

(b) 상기 SOI층을 선택적으로 표면으로부터 관통시켜 적어도 1개의 제1 트랜치를 형성하는 단계와,

(c) 상기 SOI층을 선택적으로 표면으로부터 관통시키지 않고 복수의 제2 트랜치를 형성하는 단계 - 상기 복수의 제2 트랜치 사이의 상기 SOI층의 영역이 복수의 소자 형성 영역으로 되고, 상기 복수의 제2 트랜치는 복합 트랜치와 비관통 트랜치를 포함하고, 상기 복합 트랜치는 상기 적어도 1개의 제1 트랜치를 포함하여 상기 적어도 1개의 제1 트랜치의 형성폭보다 넓게 형성됨으로써, 상기 제1 트랜치 형성부인 관통부와 상기 제1 트랜치 형성부 이외의 비관통부로 이루어지며, 상기 비관통 트랜치는 상기 적어도 1개의 제1 트랜치를 포함하지 않고 비관통부만으로 형성됨 - 을 포함하고,

(d) 상기 복합 트랜치 및 비관통 트랜치 각각에 절연막을 매립하는 단계 - 상기 복합 트랜치의 상기 비관통부의 절연막 및 상기 비관통부 하의 상기 SOI층으로 이루어지는 부분 분리부와 상기 관통부의 절연막으로 이루어지는 완전 분리부로부터 복합 분리 영역이 구성되고, 상기 비관통 트랜치 내의 절연막과 그 하층의 상기 SOI층에 의해 부분 분리 영역이 구성됨 - , 및

(e) 상기 복수의 소자 형성 영역 각각에 소정의 소자를 형성하는 단계를 더 구비하는 것을 특징으로 하는



반도체 장치의 제조 방법.

연구항 4. 반도체 기판, 매립 절연층 및 SOI층으로 이루어지며, 상기 SOI층에 CMOS 디바이스가 형성된 반도체 장치의 설계 방법에 있어서,

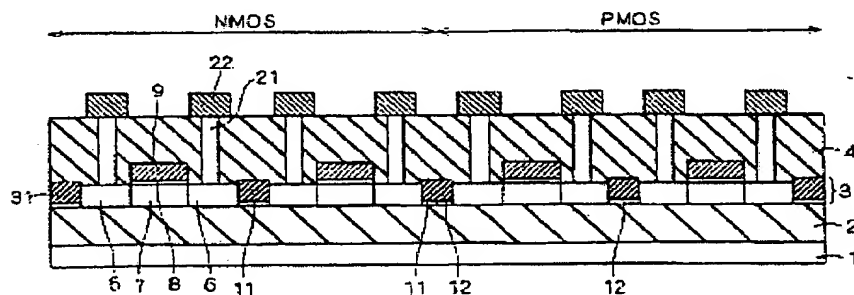
(a) 웰 영역 내 형성되는 제1 도전형의 제1 MOS 트랜지스터와 상기 웰 영역밖에 형성되는 제2 도전형의 제2 MOS 트랜지스터로 이루어지는 CMOS 디바이스의 과거 데이터를 얻는 단계와,

(b) 상기 과거 데이터에 기초하여 제1 및 제2 MOS 트랜지스터의 형성 영역을 설정하는 단계와,

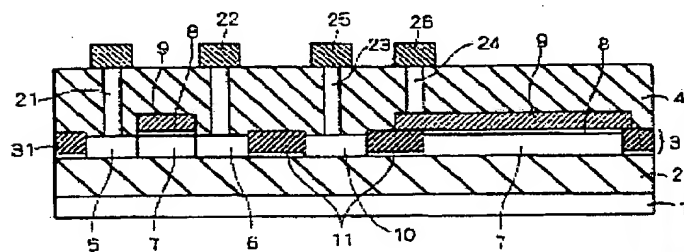
(c) 상기 과거 데이터에 있어서의 상기 열 영역의 외주 근방 영역에, 상기 SDI를 관통하는 완전 절연층이 이루어지는 완전 분리 영역을 설정하는 단계를 구비하는 반도체 장치의 설계 방법.

50

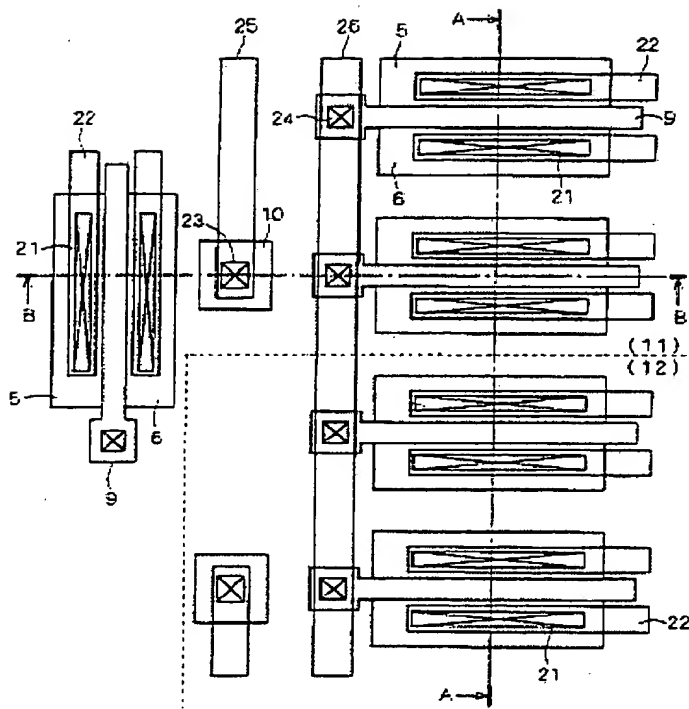
521



**LEP**



523



504

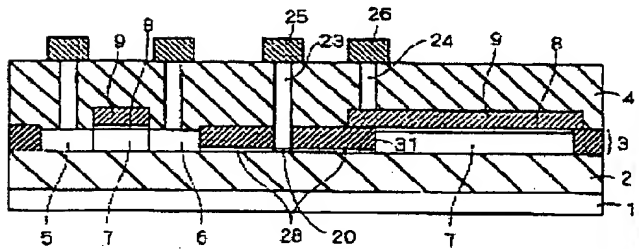


図 15

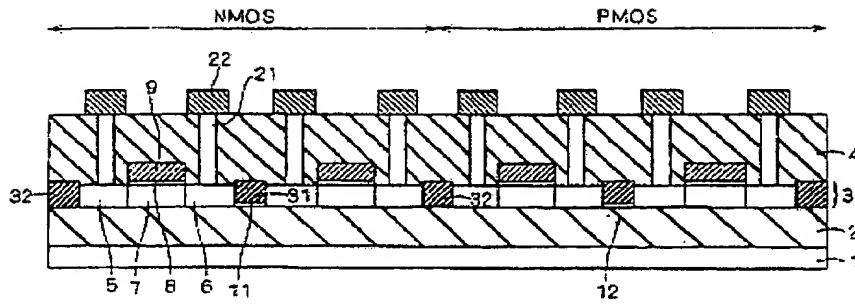


図 16

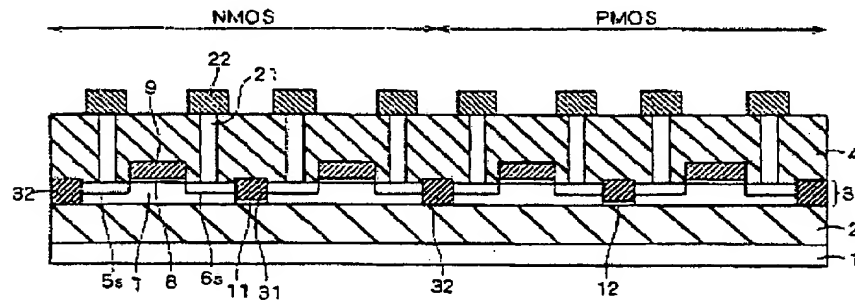


図 17

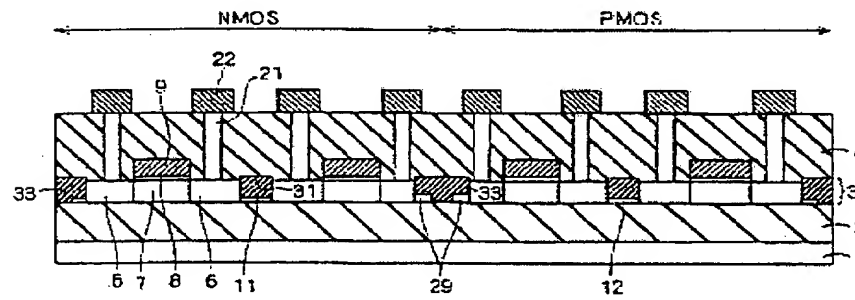
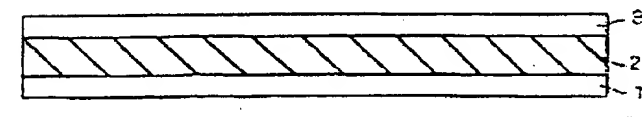
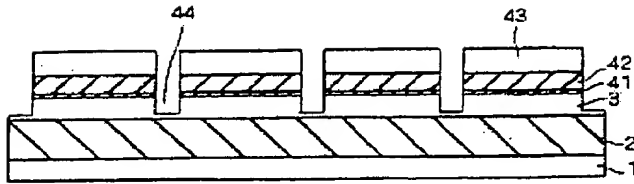


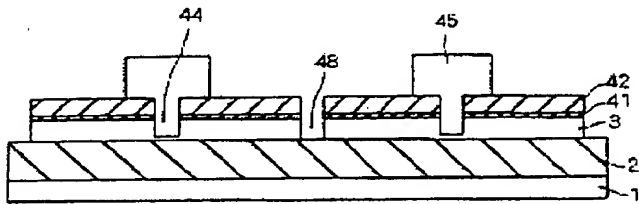
図 18



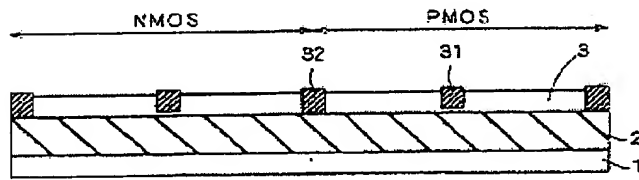
도면9



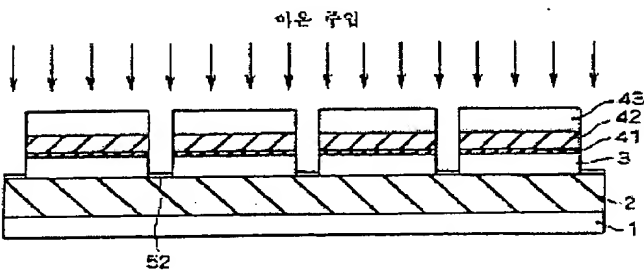
도면10



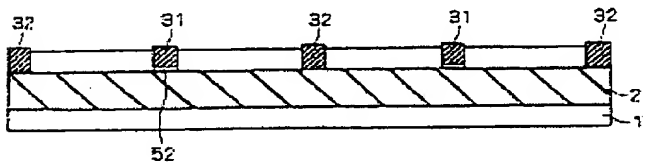
도면11



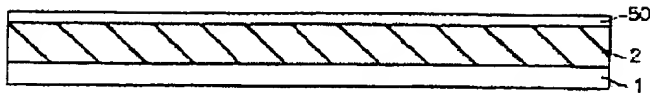
도면12



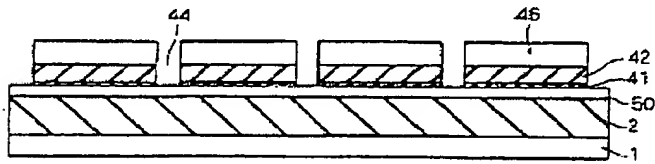
도면13



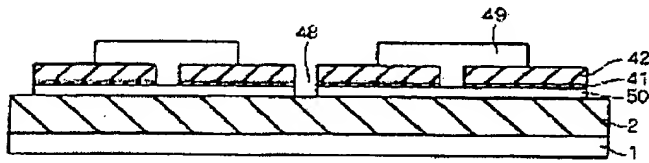
도면 14



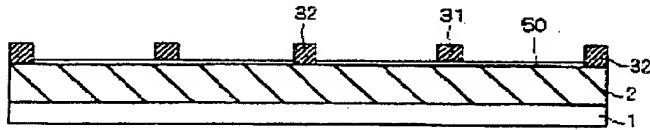
도면 15



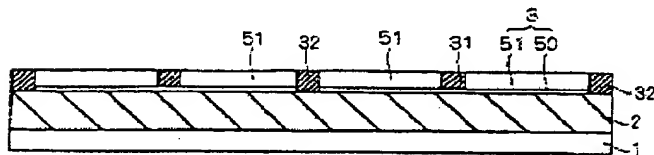
도면 16



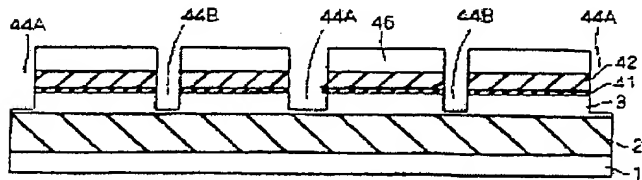
도면 17



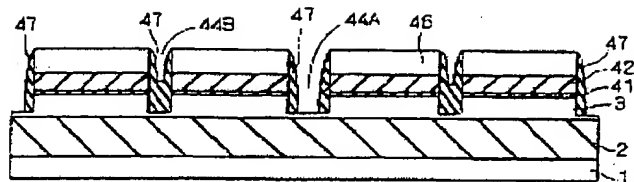
도면 18



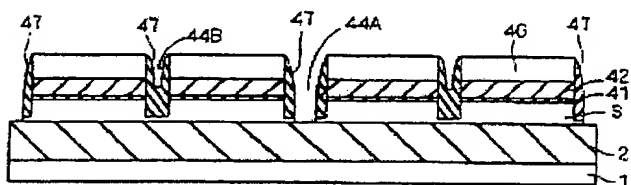
도면 19



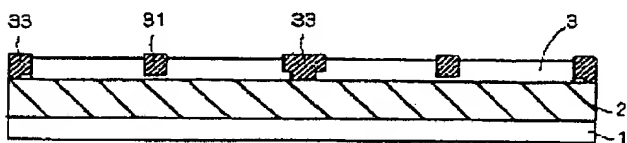
도 1920



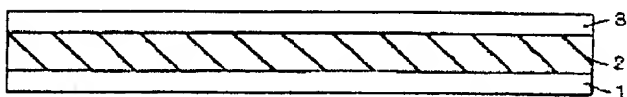
도 1921



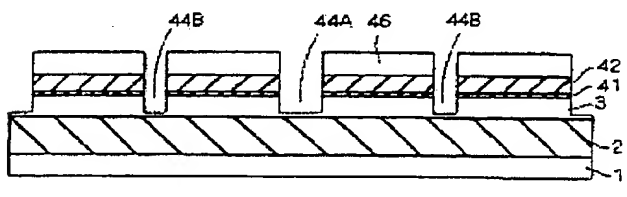
도 1922



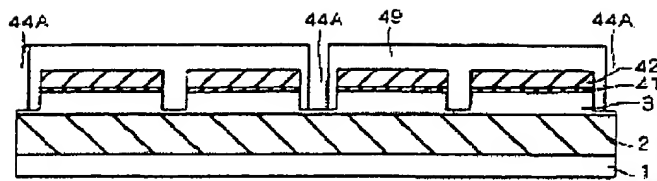
도 1923



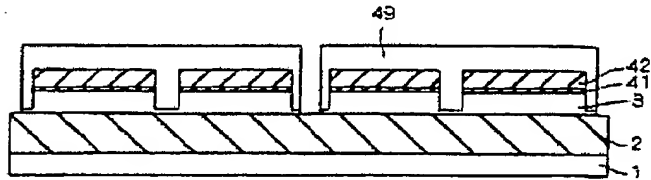
도 1924



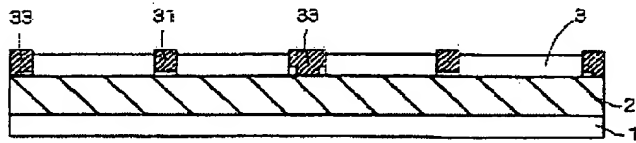
도 25



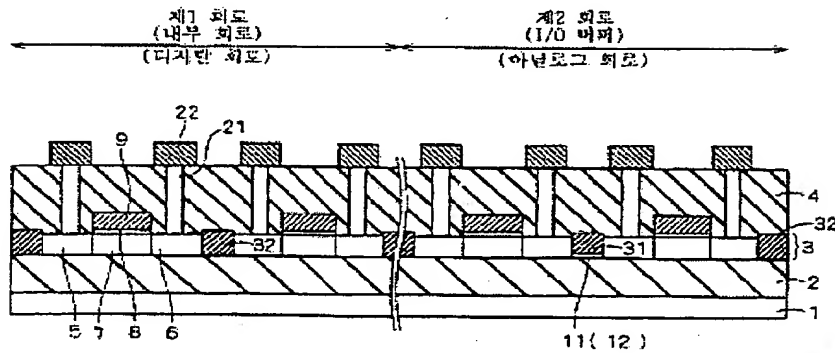
도 26



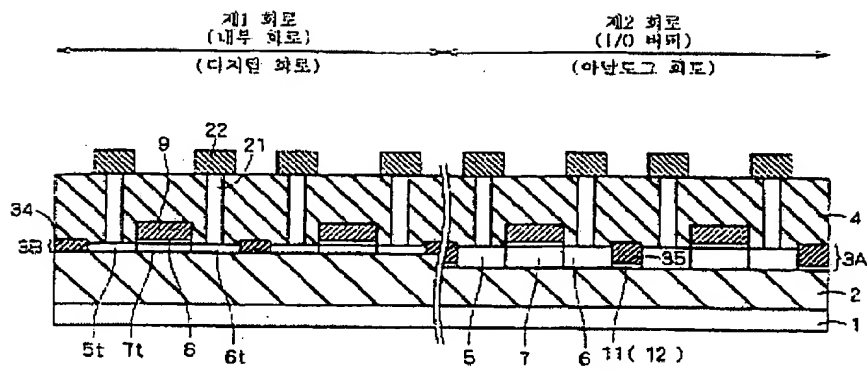
도 27



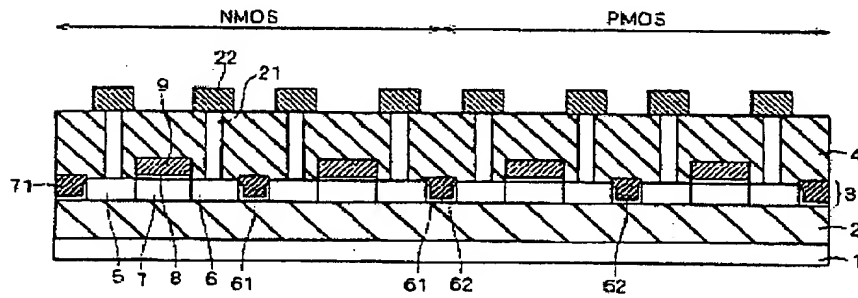
도 28



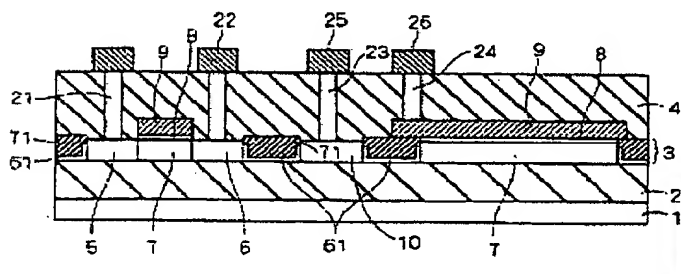
도면28



도면30

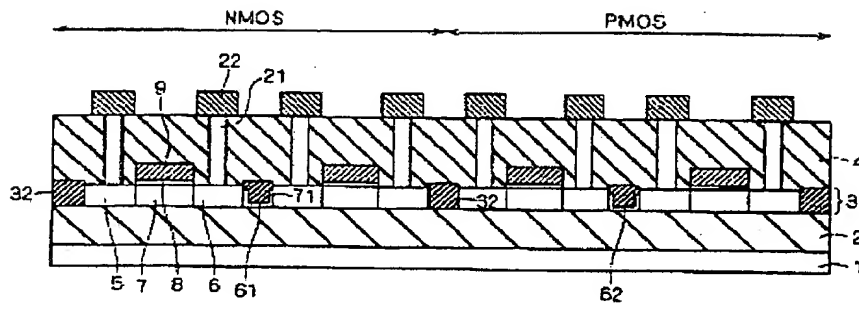


도면31

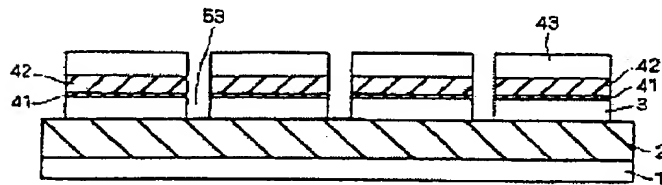




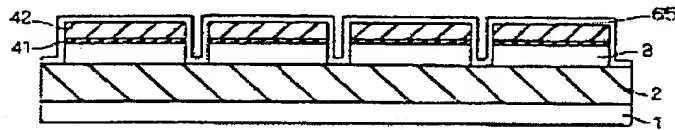
도면 32



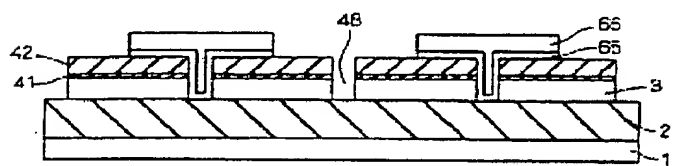
도면 33



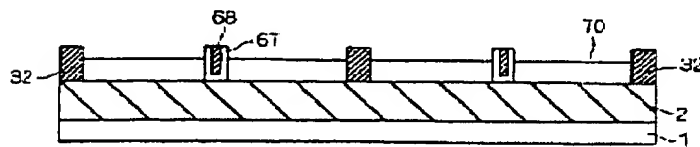
도면 34



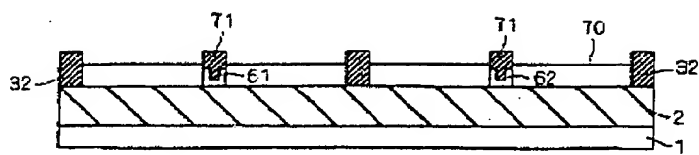
도면 35



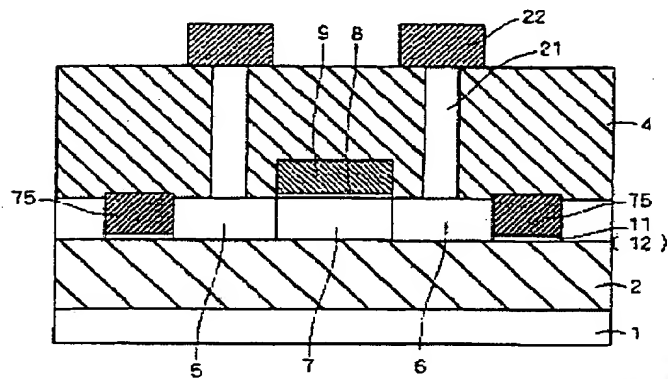
도면 36



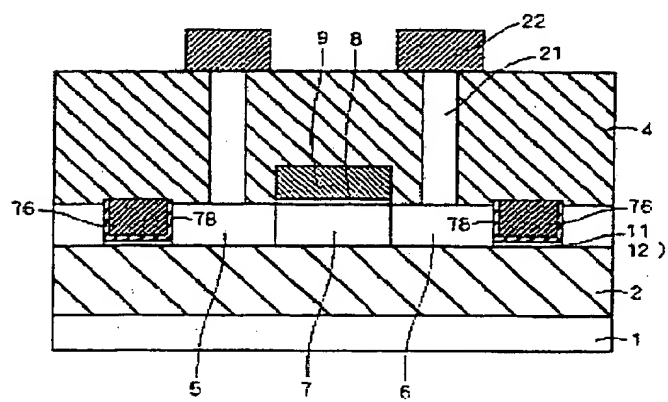
도 37



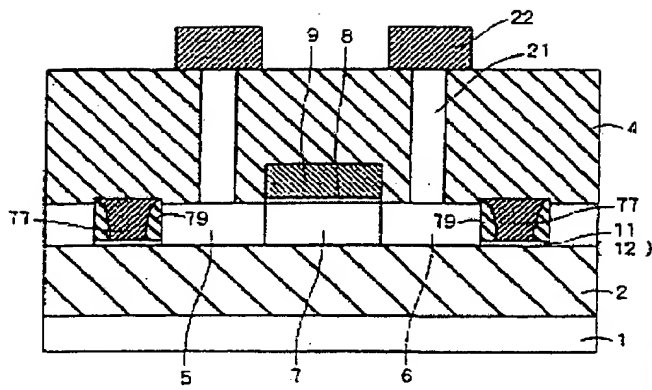
도 38



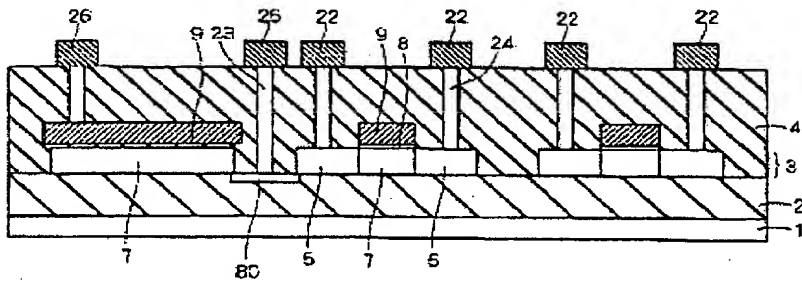
도 39



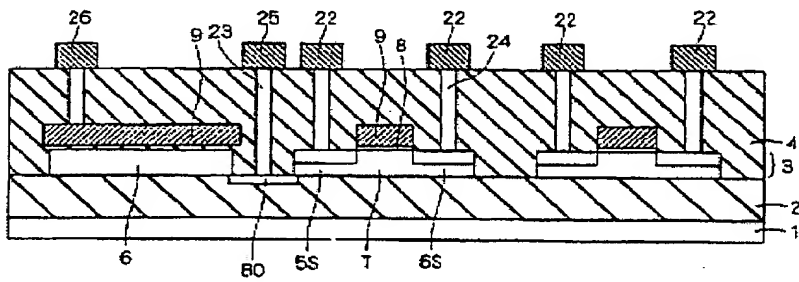
5240



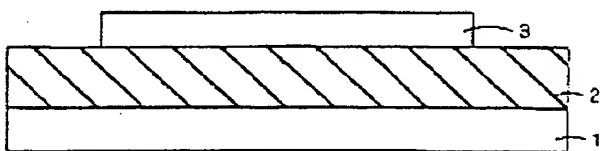
5241



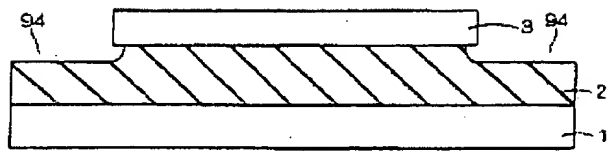
504



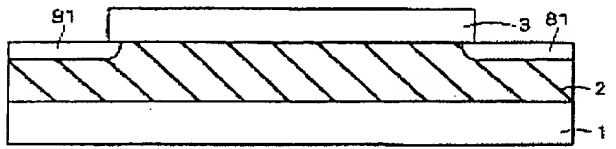
5243



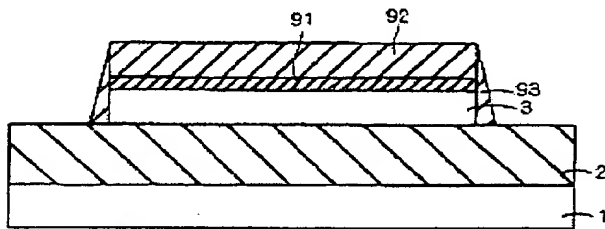
도 144



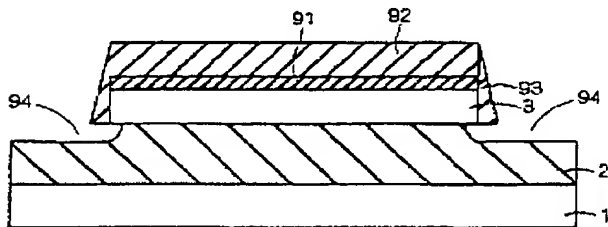
도 145



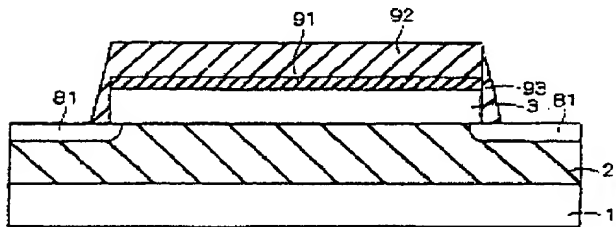
도 146



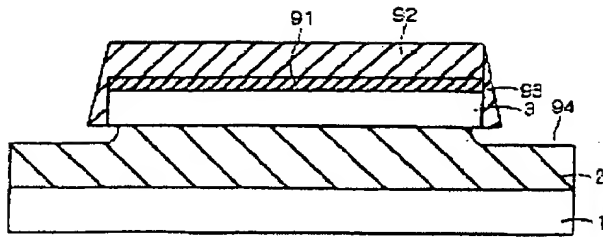
도 147



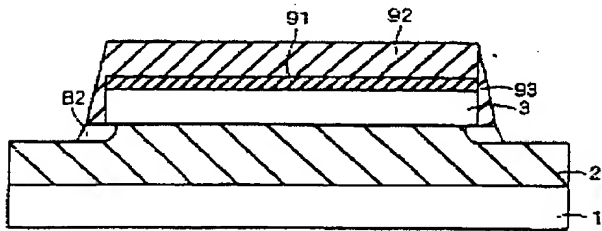
도 148



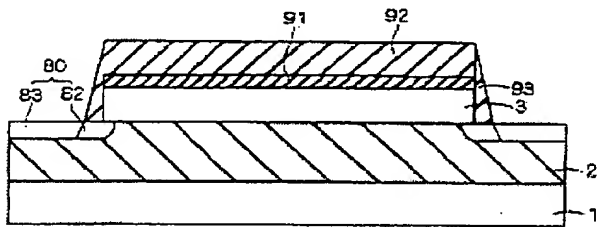
도 140



도 141



도 142



도 143

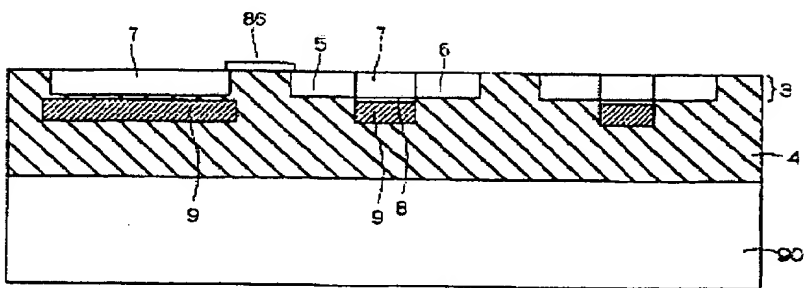




図 150

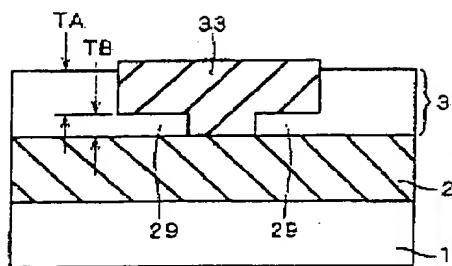


図 151

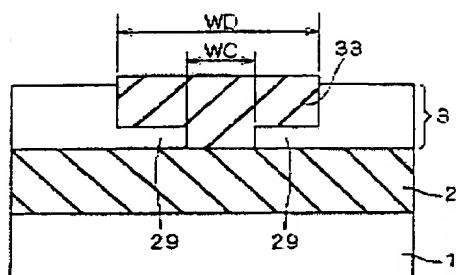


図 152

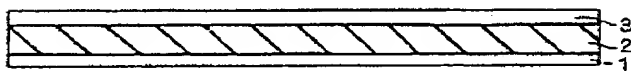


図 153

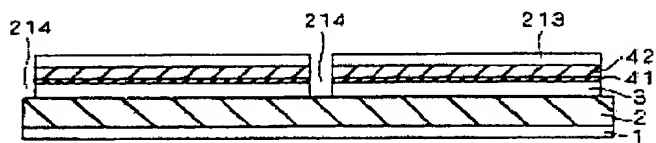
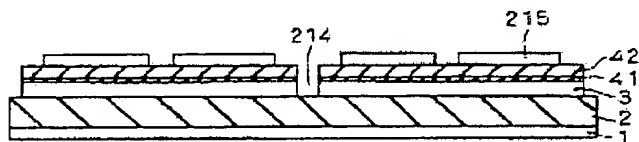
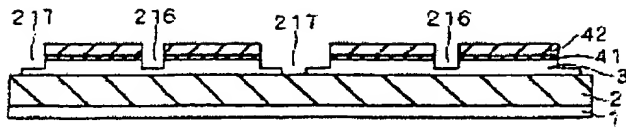


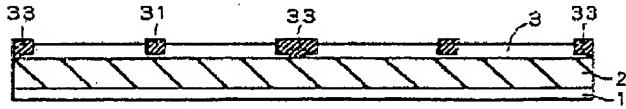
図 154



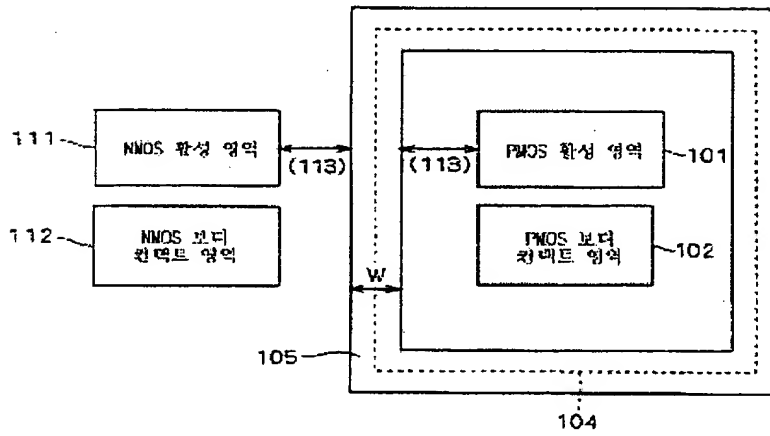
도면81



도면82

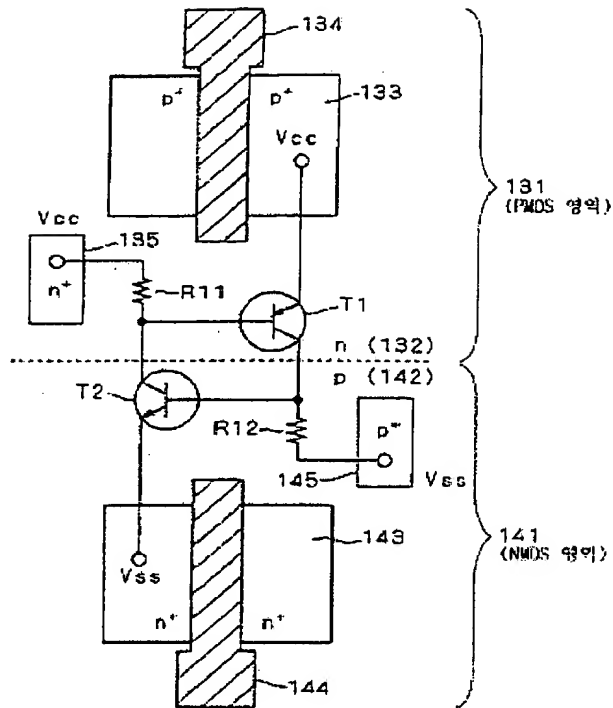


도면83

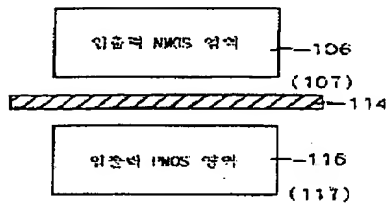




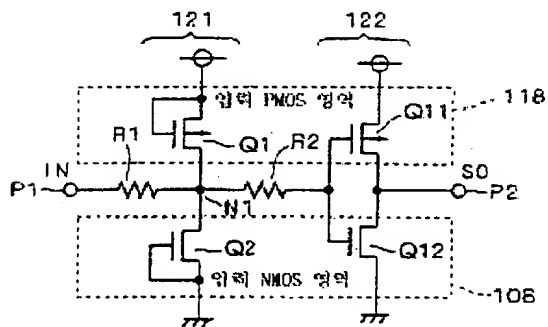
도면64



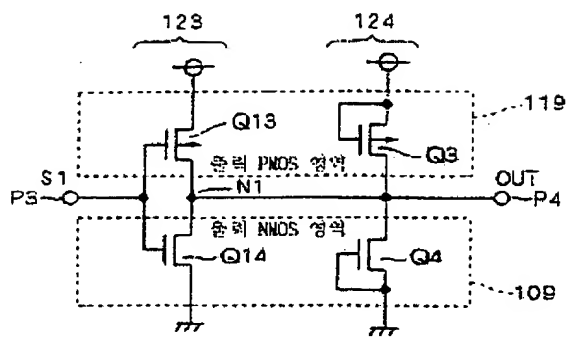
도면66



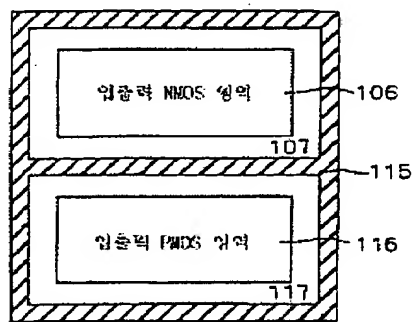
도면68



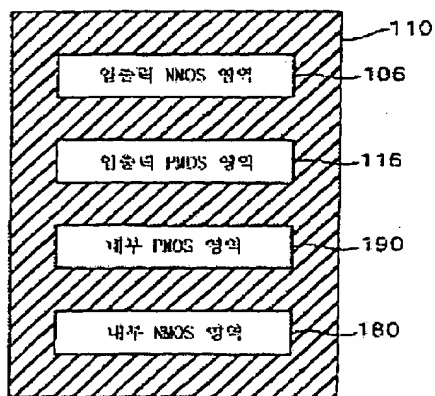
도 10B



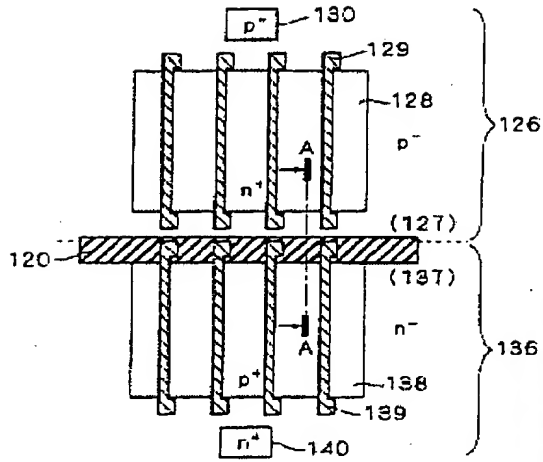
도 10C



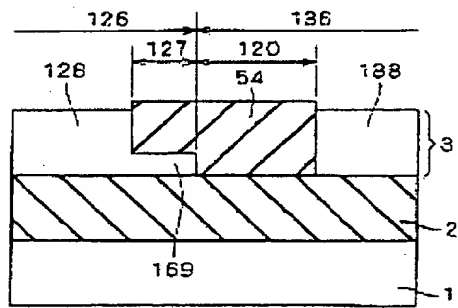
도 10D



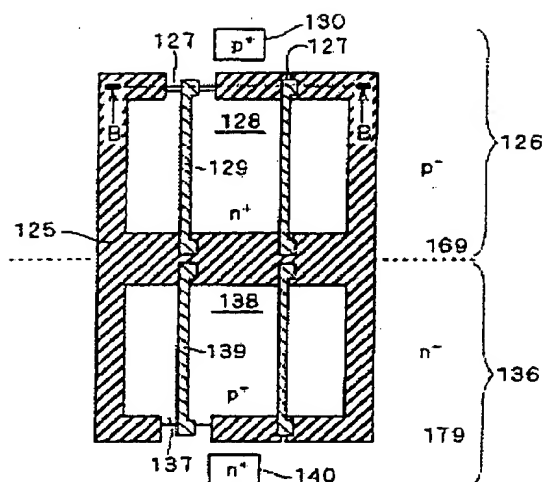
도 70



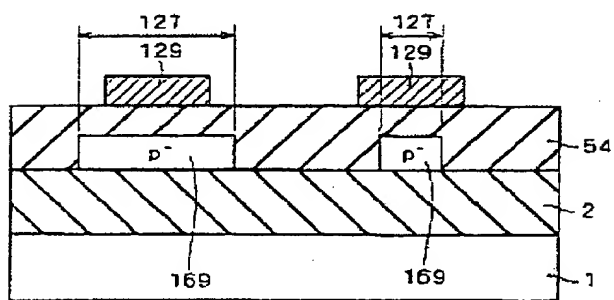
도 71



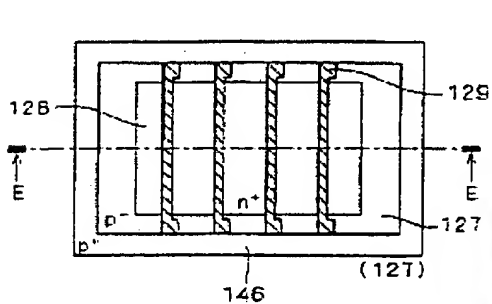
도 72



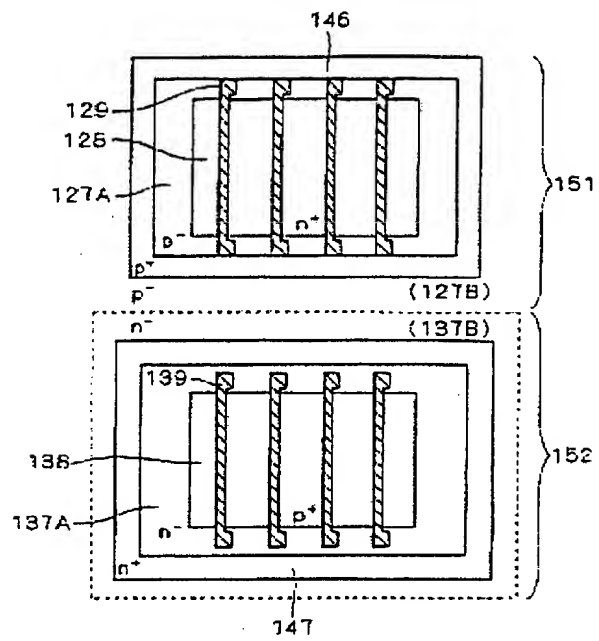
도 73



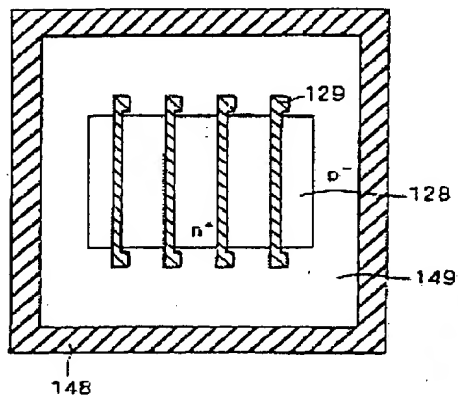
도 74



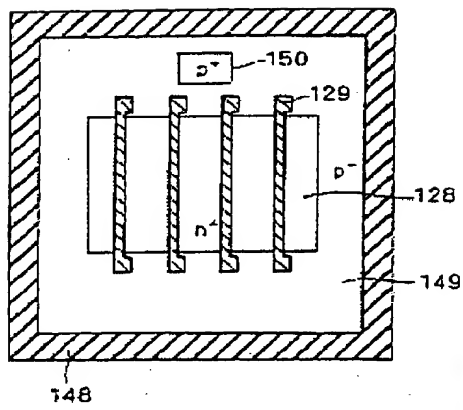
도 75



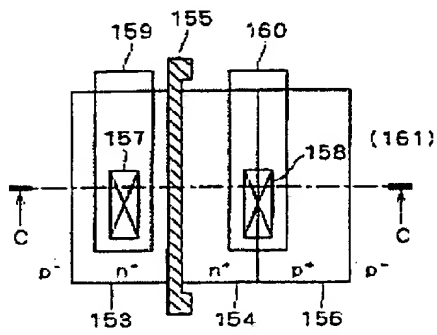
도 76



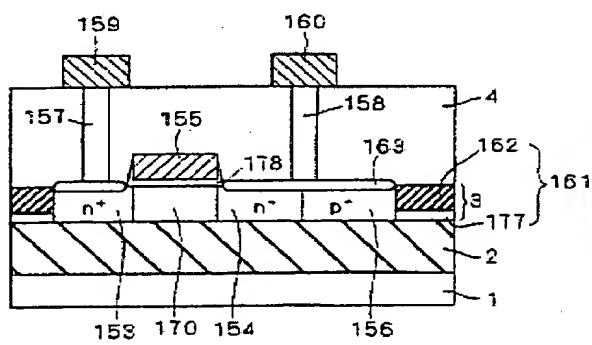
도면77



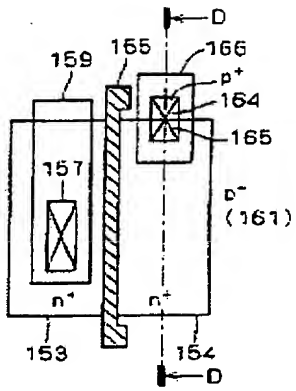
도면78



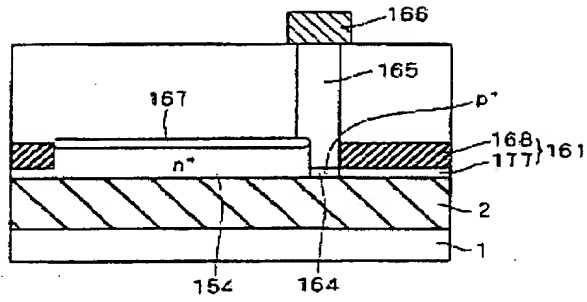
도면79



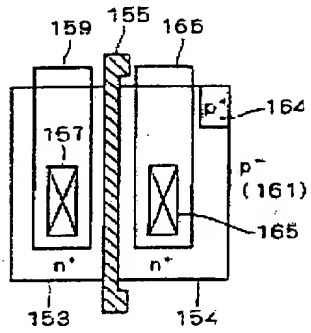
도 180



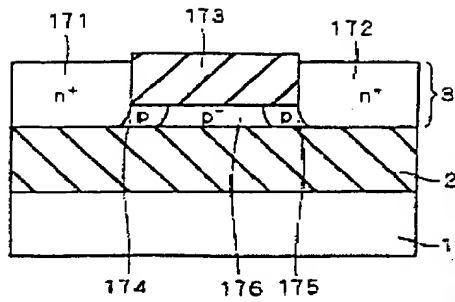
도 181



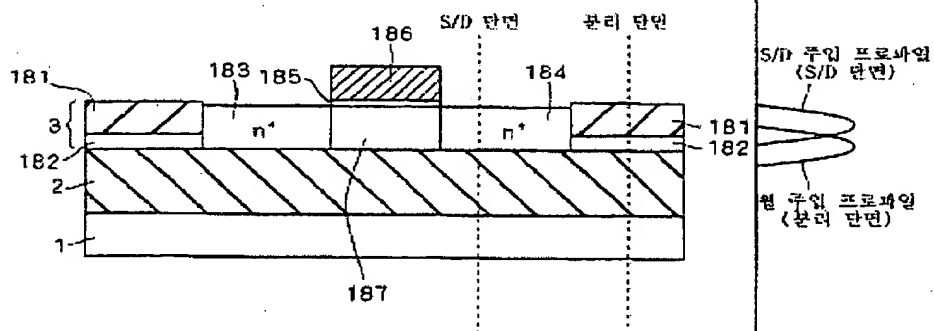
도 182



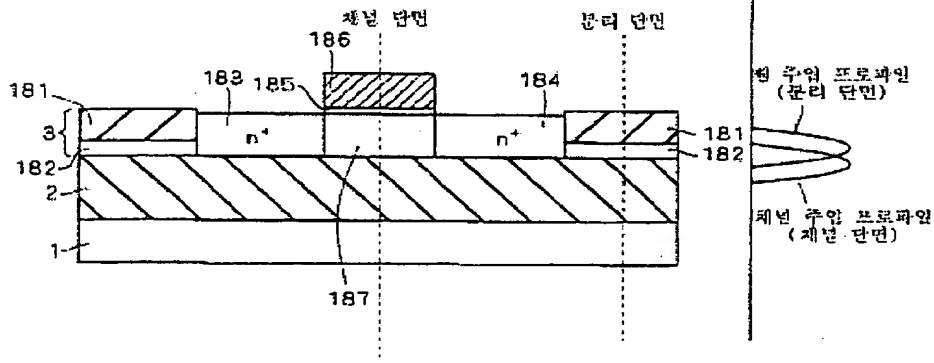
도 183



도 184

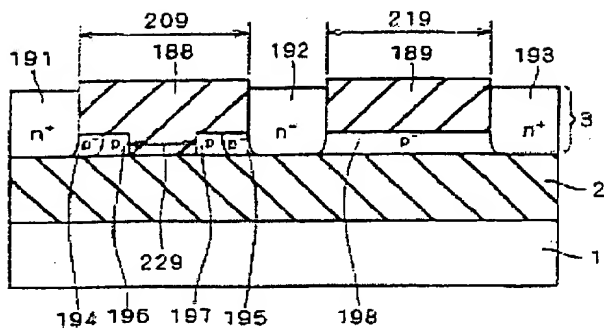


도 185

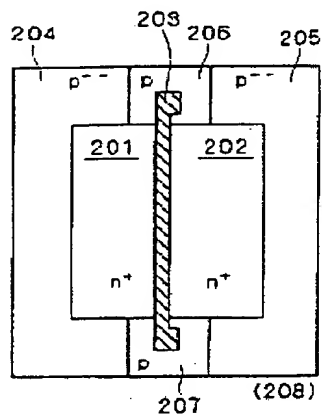




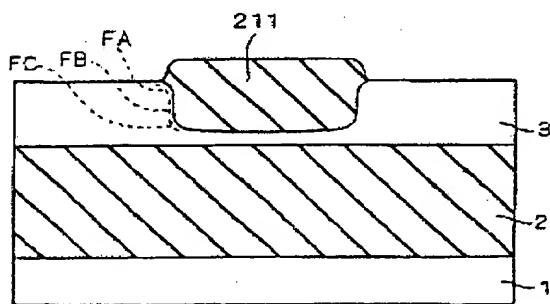
도 28



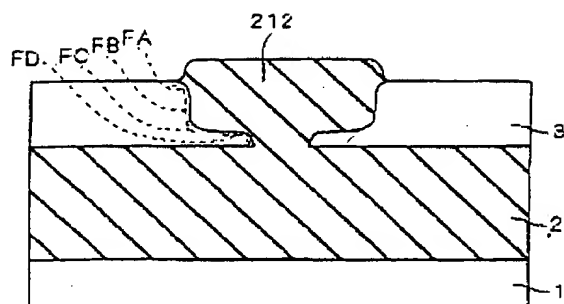
도 29



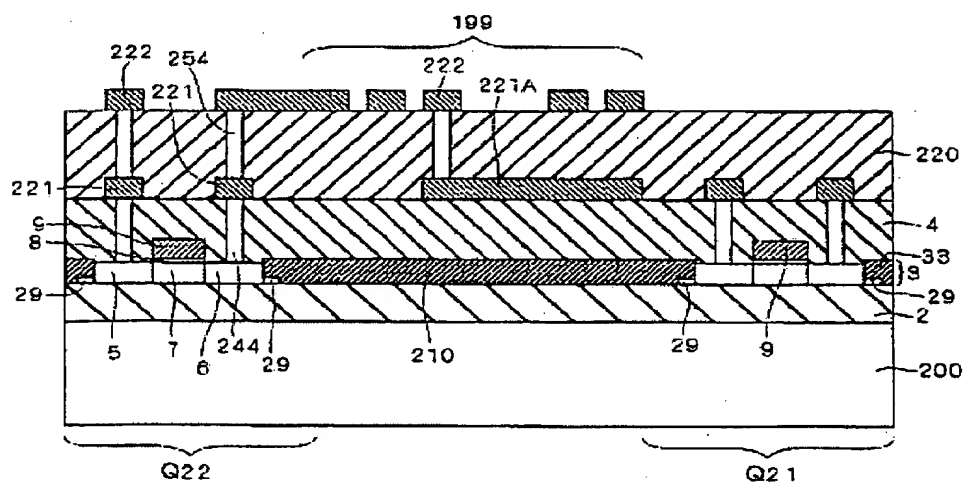
도 30



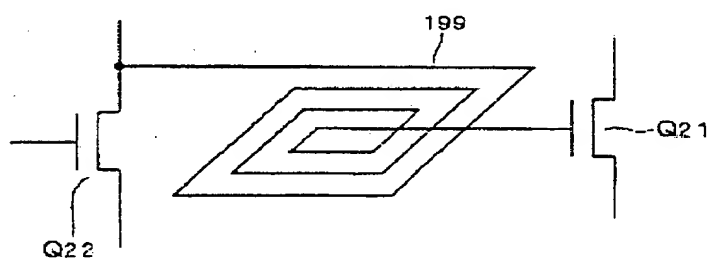
도 109



도 110



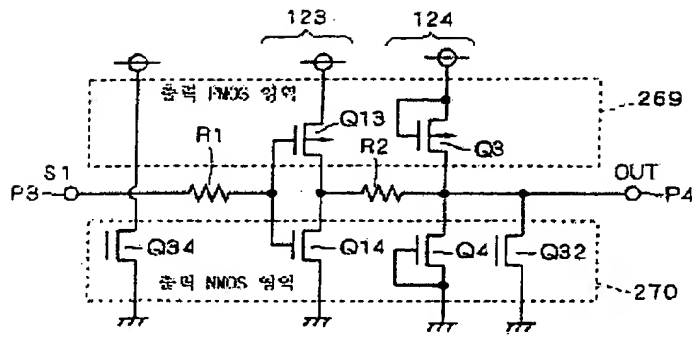
도 111



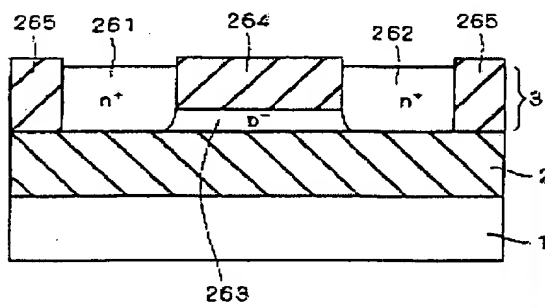




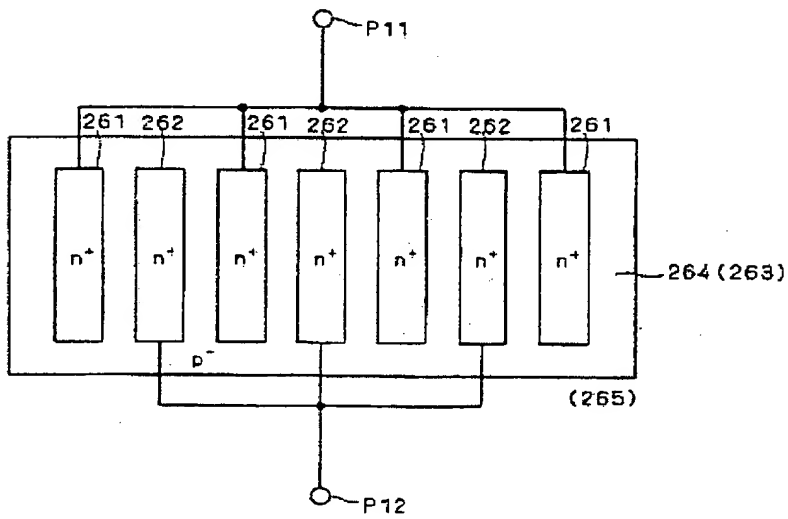
도면



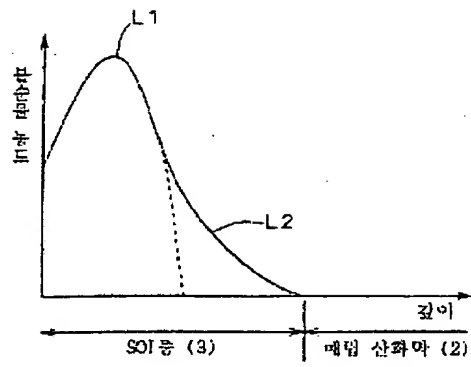
도면



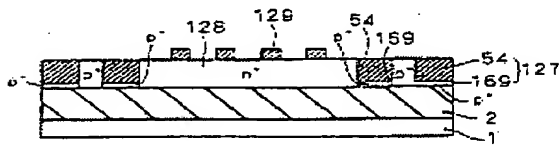
도면



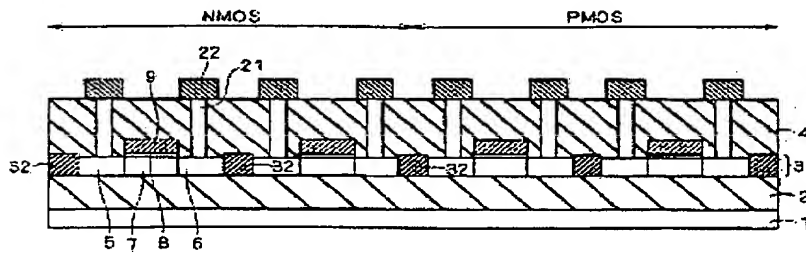
도면 100



도면 101



도면 102



FILED BY IDS

CV. JP 2000-174283

특 2000-0047907

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>7</sup>	(11) 공개번호	특2000-0047907
H01L 29/78	(43) 공개일자	2000년 07월 25일
(21) 출원번호	10-1999-0054814	
(22) 출원일자	1999년 12월 03일	
(30) 우선권주장	10-344247-1/1998년 12월 03일 일본(JP)	
(71) 출원인	샤프 가부시키가이샤 마찌다 가즈히코	
(72) 발명자	일본 오사카주 오사카시 아베노구 나가이쵸 22방 22고 아단알베르토오스카	
(74) 대리인	일본국나라630-0141미코마시히카리가오카3-1-3 백덕열, 이태희	

심사청구 : 있음

(54) SOI 구조를 갖는 반도체장치 및 그의 제조방법

요약

SOI 구조의 반도체장치는: 매립된 절연막 및 매립된 절연막상의 제 1 도전형 표면반도체층을 갖는 SOI 기판; 상기 표면반도체층에 형성된 제 2 도전형 소스 및 드레인영역; 상기 소스 및 드레인영역 사이의 제 1 도전형 채널영역상에 게이트절연막을 통해 형성된 게이트전극을 포함하며, 상기 소스 및 드레인영역이 상기 표면반도체층보다 얇고, 상기 표면반도체층의 상기 채널영역이, 상기 채널영역의 표면보다 제 1 도전형 불순물농도가 높고, 매립된 절연막에 인접하는 제 1 도전형 고농도 불순물확산영역을 갖는다.

도표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 SOI 구조의 반도체장치의 바람직한 실시예를 나타내는 주요부의 개략적인 단면도;

도 2는 도 1의 반도체장치의 채널영역의 깊이 방향의 불순물농도의 프로파일을 나타내는 설명도;

도 3은 본 발명에 따른 SOI 구조의 반도체장치가 CMOS를 구성하는 경우의 바람직한 실시예를 나타내는 주요부의 개략적인 단면도;

도 4는 본 발명에 따른 SOI 구조의 반도체장치의 특성을 설명하기 위한  $I_d-V_g$  곡선의 설명도;

도 5(a), 도 5(b) 및 도 5(c)는 본 발명에 따른 SOI 구조의 반도체장치의 특성을 설명하기 위한, 각각 MOSFET의 평면도, 단면도, 및 회로도;

도 6은 본 발명에 따른 SOI 구조의 반도체장치의 특성을 설명하기 위한 웰저항과 웰콘택트 및 MOSFET 사이의 거리와의 관계를 나타내는 설명도;

도 7(a) 내지 7(c)는 본 발명에 따른 SOI 구조의 반도체장치의 제조공정을 설명하기 위한 주요부의 개략적인 단면도;

도 8은 본 발명에 따른 SOI 구조의 반도체장치의 다른 바람직한 실시예를 나타내는 주요부의 개략적인 단면도;

도 9는 도 8의 반도체장치의 제조공정을 설명하기 위한 주요부의 개략적인 단면도;

도 10은 종래의 SOI 구조의 반도체장치를 나타내는 주요부의 개략적인 단면도;

도 11은 종래의 다른 SOI 구조의 반도체장치를 나타내는 주요부의 개략적인 단면도; 및

도 12는 종래의 또 다른 SOI 구조의 반도체장치를 나타내는 주요부의 개략적인 단면도이다.

발명의 상세한 설명

발명의 목적

### 본명이 속하는 기술 및 그 분야의 종래기술

본 발명은 SOI 구조를 갖는 반도체장치 및 그의 제조방법에 관한 것이다. 더 구체적으로는, 고농도 불순물확산영역을 갖는 SOI 기판상에 형성되고 저전압에 의해 동작되는 집적회로에 적용될 수 있는 반도체장치, 및 그의 제조방법에 관한 것이다.

최근, CMOS 회로에 저전압동작이 실현되었고, 이러한 CMOS 회로의 저전압동작( $V_{dd} < 1.5V$ )의 실현에 대해 충분한 동작마진을 갖기 위해, CMOS 회로를 구성하는 MOSFET의 임계치전압( $V_{th}$ )은 전원전압( $V_{dd}$ )의 약 1/4 이하로 감소될 필요가 있다.

그러나, 임계치전압이 감소될 때, MOSFET의 오프 리크전류가 다음 식에 따라 지수함수적으로 증가한다:

$$I_{doff} = I_o \times 10^{-V_{th}/S}$$

$$I_o \approx 2 \times 10^{-7} \text{ Amp}/\mu\text{m}$$

$$S = \ln 10 \cdot \frac{dV_{gs}}{d(\ln I_{ds})} = (\ln 10) \cdot \frac{kT}{q} \left( 1 + \frac{C_d}{C_{ox}} \right) \approx 90 \text{ mV}/\text{dec}$$

여기서,  $I_{doff}$ 는 오프 상태( $V_g=0$ )의 드레인전류,  $I_o$ 는  $V_g=V_{th}$ 일 때의 드레인전류,  $S$ 는 서브스레쉬폴드의 경사( $S$  팩터),  $C_d$ 는 공핍층 용량이고,  $C_{ox}$ 는 게이트용량이다.

이들 식으로부터, 트랜지스터의 동작전압과 LSI의 스탠바이전류 사이에 트레이드-오프 관계가 있는 것이 발견된다. 따라서, 낮은 임계치전압을 갖는 MOSFET은 큰 스탠바이전류를 야기하여, 저전압, 저소비전력, 및 배터리동작 LSI 등에 대해 실용적이지 않다.

저임계치전압과 오프 리크전류 사이의 트레이드-오프 관계의 문제를 해결하는 방법으로서, 동작 상태 및 스탠바이상태의 MOSFET의 임계치전압을 제어하는 것이 효과적이다: 즉, 트랜지스터의 동작상태에서, MOSFET의 저전압동작을 실현하기 위해, 임계치전압이 낮은 값으로 설정되고, 오프 상태에서, 오프 리크전류를 감소시키기 위해, 임계치전압이 높은 값으로 설정된다.

이 점에서, MOSFET가 SOI 기판상에 형성되는 경우, 완전한 유전체분리, 래치-업-프리 등 몇 개의 장점이 있다. 특히, 완전공핍화된 SOI 구조의 MOSFET의 경우, 표면반도체층의 채널영역의 전부가 완전히 공핍화되도록 충분히 얇기 때문에,  $C_d$ 는 0으로 되고,  $S$  팩터는 실온에서 60mV/dec까지 감소될 수 있다. 이에 의해, 오프 전류를 감소시킬 수 있다. 그러나, 저임계치전압의 트레이드-오프 관계가 저전압으로 시프트될 뿐이다.

또한, 임계치전압을 제어하는 다른 방법으로서, 예컨대, SOI 구조를 갖는 기판상에 형성된 다이 나막 임계 MOS(이하, DTMOS로 칭함)가 IEEE(Trans. 전자장치, 볼륨 44, 넘버 3, 페이지 414-422, 1997년 3월)에 제안되어 있다. 상기 DTMOS는, 도 10에 도시된 바와 같이, 실리콘기판(30)상에 매립된 절연막(31) 및 표면반도체층(32)이 형성되고, 표면반도체층(32)상에 게이트전극(33), 소스/드레인영역(32a), 및 채널영역(32b)이 형성된 구조를 갖는다. 또한, 게이트전극(33)은 채널영역(32b)에 전기적으로 접속된다. 이러한 구조에 의해, 채널영역(32b)에 전압이 직접 인가되어, 채널의 임계치전압을 제어할 수 있다.

그러나, DTMOS에서, 각 트랜지스터는, 채널영역(32b)이 게이트전극(33)에 직접 접속될 필요가 있기 때문에, 채널영역(32b)과 게이트전극(33) 사이의 콘택트를 별도로 구비할 필요가 있다. 이에 의해, 레이아웃 면적의 증가를 초래하고, 제조공정을 복잡하게 하는 문제가 있다. 또한, 이로써 동작전압( $V_{dd}$ )은, 리크전류를 방지하기 위해 소스와 기판 사이의 다이오드의 턴-오프 전압(0.6V)보다 충분히 낮게 할 필요가 있고, DTMOS의 응용을 제한하는 문제를 초래한다.

또한, 다른 예로서, 도 11에 도시된 SOI 구조를 갖는 MOS형 반도체장치가, 일본국 특허공개공보 제 97-246562호에 제안되어 있다. 이 반도체장치는, 표면반도체층상에 게이트전극(43), 소스 및 드레인영역(41, 42), 및 채널영역(40)이 형성되고, 소자분리막(45)을 통해 소스영역(41)에 인접하는 보디콘택트영역(9) 및 채널영역(40)과 보디콘택트영역(44)을 전기적으로 접속하는 경로(46)가 제공된 구조를 갖는다. 이러한 구조에 의해, 채널영역(40)에 전압이 직접 인가되어, 채널의 임계치전압을 제어할 수 있다.

그러나, 이러한 구조는, 트랜지스터를 둘러싸는 영역에 채널영역(40)과 보디콘택트영역(44)을 접속하는 경로(46)를 가짐으로써, 보다 큰 반도체장치의 설계면적을 필요로 하는 문제가 있다.

또한, 또 다른 예로서, 도 12에 도시된 반도체장치가, 일본국 특허공개공보 제 97-36246호에 제안되어 있다. 이 반도체장치에서, 실리콘기판(50)상에 매립된 절연막(51) 및 표면반도체층(52)이 형성되고, 표면반도체층(52)상에 MOS 트랜지스터가 형성되고, 이 MOS 트랜지스터의 채널영역(53)이 각각 바이어스회로(54)에 접속됨에 의해, 채널영역(53)에 전압이 직접 인가되어, 채널의 임계치전압을 제어할 수 있다.

그러나, 이 반도체장치는, 각 트랜지스터가 바이어스회로에 접속될 필요가 있기 때문에, 상기 설명된 다른 반도체장치의 경우와 같이 보다 큰 레이아웃 면적을 필요로 하는 문제가 있다.

### 본명이 이루고자하는 기술적 과제

본 발명의 일 양태에 의하면, SOI 구조의 반도체장치는: 매립된 절연막 및 매립된 절연막상의 제 1 도전형 표면반도체층을 갖는 SOI 기판; 상기 표면반도체층에 형성된 제 2 도전형 소스 및 드레인영역; 상기 소스 및 드레인영역 사이의 제 1 도전형 채널영역상에 게이트절연막을 통해 형성된 게이트전극을 포



합하며, 상기 소스 및 드레인영역이 상기 표면반도체층보다 얇고, 상기 표면반도체층의 상기 채널영역이, 상기 채널영역의 표면보다 제 1 도전형 불순물농도가 높고, 매립된 절연막에 인접하는 제 1 도전형 고농도 불순물확산영역을 갖는다.

본 발명의 다른 양태에 의하면, SOI 구조의 반도체장치의 제조방법은: i) 기판상에 매립된 절연막 및 제 1 도전형 표면반도체층을 형성하여, 상기 표면반도체층상에 게이트절연막 및 게이트전극을 형성하는 단계; ii) 제 2 도전형 소스 및 드레인영역을 형성하기 위해 상기 게이트전극을 마스크로 사용하여 제 2 도전형 불순물이온을 주입하는 단계; 및 iii) 제 2 도전형 소스 및 드레인영역하의 제 1 도전형 표면반도체층의 제 1 도전형 불순물농도를 감소시키기 위해 게이트전극을 마스크로 사용하여 제 2 도전형 불순물이온을 더 깊게 주입함에 의해, 제 2 도전형 소스 및 드레인영역 사이의 제 1 도전형 채널영역이고 매립된 절연막에 인접하고, 채널영역의 표면보다 제 1 도전형 불순물농도가 높은 제 1 도전형 고농도 불순물확산영역을 형성하는 단계를 포함한다.

#### 발명의 구성 및 작용

본 발명에 따른 SOI 구조의 반도체장치는, 매립된 절연막 및 매립된 절연막상의 제 1 도전형의 표면반도체층을 갖는 SOI 기판, 표면반도체층보다 얇은 제 2 도전형 소스 및 드레인영역, 소스와 드레인영역 사이에 배치되고 매립된 절연막에 인접하고, 채널영역의 표면보다 불순물농도가 높은 제 1 도전형 고농도 불순물확산영역을 갖는 제 1 도전형 채널영역, 및 제 1 도전형 채널영역상에 형성된 게이트전극을 갖는다.

본 발명에 따른 SOI 기판은, 통상, 지지가판, 지지가판상에 형성되는 매립된 절연막 및 매립된 절연막상에 형성되는 표면반도체층을 포함하고, 저소비전력 및 고속동작의 실현에 유효하다. SOI 기판의 예는 접합 SOI(BESOI)형 기판, SIMOX(Separation by Implantation of Oxygen)형 기판 등이 있다. 지지가판으로서: 예컨대, 실리콘; 게르마늄 등의 반도체기판; GaAs, InGaAs 등의 화합물반도체; 및 사파이어, 석영, 유리, 플라스틱 등의 절연기판 등 다양한 유형의 기판이 사용될 수 있다. 이에 대해서, 상기 지지가판상에 트랜지스터, 커패시터 등의 소자 또는 회로가 형성되는 기판이 지지가판으로 사용될 수 있다.

매립된 절연막으로서, 예컨대, SiO<sub>2</sub> 막, SiN 막 등이 사용될 수 있다. 막의 두께는, 얻고자 하는 반도체장치의 특성, 얻어진 반도체장치가 사용될 때의 인가된 전압의 크기를 고려하여 조정될 수 있고, 예컨대, 약 50nm 내지 500nm 정도이다.

표면반도체층은, 트랜지스터를 형성하기 위한 활성층으로서 기능하는 반도체박막이고 실리콘, 게르마늄 등의 반도체, 또는 GaAs, InGaAs 등의 화합물반도체에 의한 박막으로 형성될 수 있다. 그 재료를 중에서, 실리콘박막이 바람직하다. 표면반도체층의 두께는, 얻어지는 반도체장치의 특성을 고려하여, 예컨대, 후술하는 트랜지스터의 소스 및 드레인영역의 접합깊이, 표면반도체층 표면상의 채널영역의 깊이, 불순물농도, 매립된 절연막에 인접한 고농도 불순물확산영역의 깊이 등의 여러 가지 파라미터에 의해, 조정될 수 있고, 예컨대, 약 150nm 내지 200nm 정도이다.

상술한 바와 같이, 표면반도체층은, 주로 1) 표면반도체층보다 얇은 제 2 도전형 소스 및 드레인영역, 2) 소스영역 및 드레인영역 사이에 배치되는 표면채널, 및 표면채널 적하에 배치되고 매립된 절연막에 인접하고, 표면채널보다 불순물농도가 높은 제 1 도전형 고농도 불순물확산영역을 갖는 채널영역, 및 3) 제 1 도전형 고농도 불순물확산영역에 인접하고 제 2 도전형 소스 및 드레인영역 적하에 배치되고 표면채널의 불순물농도와 동일하거나 그보다 낮은 제 1 도전형 불순물농도를 갖는 저농도 불순물확산영역을 포함한다.

1) 제 2 도전형 소스 및 드레인영역은, 표면반도체층과 동일한 도전형 및 역도전형의 불순물을, 예컨대, 약  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 내지  $1 \times 10^{21}$  atoms/cm<sup>3</sup> 농도로, 포함하여 형성될 수 있다. 이 점에서, 소스 및 드레인영역은, 채널층의 소스 및 드레인영역의 단부에 LDD 구조와 같은 구조를 갖고 소스 및 드레인영역보다 불순물농도가 낮은 영역, 또는 소스 및 드레인영역과 불순물농도가 동일하거나 그보다 높고 소스 및 드레인영역의 접합보다 약간 얇은 영역을 가질 수 있다. 또한, 소스 및 드레인영역의 깊이는, 제조되는 반도체장치의 특성에 따라 적절히 조정될 수 있고, 표면반도체층의 막두께(예컨대, 200nm)의 약 50%, 더 구체적으로는, 80nm 내지 150nm, 특히, 100nm 내지 150nm 정도로 할 수 있다.

2) 도 2에 도시된 바와 같이, 채널영역은, 채널영역의 깊이방향으로 표면채널과 고농도 불순물확산영역에 불순물농도가 급준하게 변화하는 도핑프로파일을 갖는다. 즉, 표면채널의 제 1 도전형 불순물농도를 Na 및 매립된 절연막에 인접하는 고농도 불순물확산영역의 제 1 도전형 불순물농도를 Nb로 설정하면, Nb >> Na의 관계를 충족하도록 불순물농도가 설정된다. 이들의 불순물농도는, 표면반도체층의 막두께, 표면채널의 두께, 고농도 불순물확산영역의 두께 등에 따라 조정될 수 있고, 예컨대, 표면채널의 제 2 도전형 불순물농도(Na)는 약  $1 \times 10^{16}$  atoms/cm<sup>3</sup> 내지  $1 \times 10^{18}$  atoms/cm<sup>3</sup>, 및 매립된 절연막에 인접하는 고농도 불순물확산영역의 제 1 도전형 불순물농도(Nb)는 약  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 내지  $1 \times 10^{20}$  atoms/cm<sup>3</sup>로 설정된다. 또한, 표면채널의 두께 및 고농도 불순물확산영역의 두께는, 표면반도체층의 두께에 따라 조정될 수 있고, 예컨대, 약 30nm 내지 150nm 및 50nm 내지 150nm 정도로 각각 설정된다. 이에 대해, 표면채널의 두께 및 불순물농도는 다음 식을 충족하도록 설정된다:

$$T_b < \sqrt{\frac{4 \cdot \epsilon \cdot \phi_f}{q \cdot N_a}}$$

Tb는 표면채널의 두께, ε는 표면반도체를 구성하는 반도체의 유전율, φ<sub>f</sub>는 페르미 포텐셜, q는 단위 전하량이며, 상기 조건에 의해, 본 발명에 따른 반도체장치의 표면채널(4)이 완전히 공핍화된다.

또한, 고농도 불순물확산영역은, 다음 식을 충족하도록 설정되는 것이 바람직하다:

$$X_d < \sqrt{\frac{4 \cdot \epsilon \cdot V_{bi}}{q \cdot N_b}}$$

$X_d$ 는 고농도 불순물확산영역의 두께이고  $V_{bi}$ 는 빌트인 전압이다. 이에 대해, 고농도 불순물확산영역은 표면반도체층에 형성되는 웰로서 형성될 수 있다.

또한, 이 경우, 본 발명에 따른 SOI 구조의 반도체장치의 임계치전압( $V_{th}$ )은 다음 식에 의해 표현된다:

$$V_{th} = V_{fb} + 2 \cdot \phi_p \cdot \left( 1 + \frac{C_b}{C_{ox}} \right) + \frac{q \cdot N_a \cdot T_b}{2 \cdot C_{ox}} - \left( \frac{C_b}{C_{ox}} \right) \cdot V_b$$

$V_{fb}$ 는 플랫밴드 전압,  $C_b$ 는  $\epsilon/T_b$ 에 의해 표현되며,  $C_{ox}$ 는 게이트절연막의 용량이고,  $V_b$ 는 보디(body)영역(도 1의 영역 5)에 인가된 전압이다. 상기 식에 의하면, 임계치전압( $V_{th}$ )은 보디영역에 인가된 전압( $V_b$ )과 함께 직선적으로 변화함으로써, 임계치전압( $V_{th}$ )은 보디영역에 인가된 전압( $V_b$ )에 의해 용이하게 제어될 수 있다.

3) 소스 및 드레인영역 직하에 배치되는 제 1 도전형 저농도 불순물확산영역의 제 1 도전형 불순물농도는, 소스 및 드레인영역의 접합용량을 감소시키도록, 예컨대, 표면채널과 동일한 정도이거나, 더 바람직하게는, 표면채널보다 낮도록, 더 구체적으로는, 약  $1 \times 10^{16}$  atom/cm<sup>3</sup> 내지  $1 \times 10^{17}$  atoms/cm<sup>3</sup> 정도로 설정되는 것이 바람직하고, 매립된 절연막에 인접하는 제 1 도전형 고농도 불순물확산영역의 두께는 50nm 내지 150nm 정도로 설정되는 것이 바람직하다. 또한, 저농도 불순물확산영역은, 층의 완전공핍화 상태, 즉, 소스 및 드레인영역의 접합표면으로부터 표면반도체층과 매립된 절연막 사이의 계면까지 소스 및 드레인영역 하부의 전체영역이 완전히 공핍화되는 상태를 의미한다.

저농도 불순물확산영역을 완전공핍화 상태로 제어함에 의해, 소스 및 드레인영역 하부로 확장하는 공핍층에 의한 용량이 매립된 절연막의 용량과 적절로 접속되기 때문에, 소스/드레인 접합용량, 즉, 트랜지스터 부하용량이 감소될 수 있어, 반도체장치의 저소비전력화 및 고속화가 실현된다.

또한, 본 발명에 따른 SOI 구조의 반도체장치는, 표면반도체층상에 형성된 소스 및 드레인영역, 채널영역상에 형성된 게이트절연막 및 게이트전극을 포함하는 트랜지스터를 갖는다. 게이트절연막은 통상 게이트절연막으로서 기능하는 재료 및 막두께로 형성될 수 있다. 게이트전극은, 폴리실리콘; W, Ta, Ti, Mo 등의 고용점을 갖는 금속의 살리사이드; 살리사이드(예컨대, MoSi<sub>2</sub>, WSi<sub>2</sub>) 및 폴리실리콘으로 형성되는 폴리사이드; 및 그 밖의 금속에 의해, 약 150nm 내지 300nm의 막두께로 형성될 수 있다. 이에 대해, 게이트전극은, 후술하는 소스 및 드레인영역을 형성하기 위해 횡방향의 불순물의 확산을 고려하여, 절연막으로 형성되는 측벽 스페이서를 가질 수 있다.

이에 대해, 상기 고농도 불순물확산영역이 웰로서 형성되는 경우, 웰내에 복수의 트랜지스터가 형성되고, 각 트랜지스터가 로코스 산화막 또는 트랜치 소자분리막에 의해 분리되는 것이 바람직하다. 바람직하게, 로코스 산화막 또는 트랜치 소자분리막의 두께는 표면반도체층의 두께보다 얇다. 이것에 의해, 로코스 산화막 또는 트랜치 소자분리막 하부에 고농도 불순물확산영역이 확장되고, 고농도 불순물확산영역은 인접하는 반도체장치의 채널영역들을 전기적으로 접속시킬 수 있다. 이에 대해, 로코스 산화막 또는 트랜치 소자분리막 하부에 확장되는 고농도 불순물확산영역은, 반도체장치의 크기, 동작전압 등에 따라 적절히 조정될 수 있고, 그의 두께 및 불순물농도는, 표면채널하의 고농도 불순물확산영역에 인가된 전압 및 반도체장치, 즉, MOSFET의 임계치전압을 제어하기 위해 중요하다. 예컨대, 약 150nm 내지 200nm의 두께를 갖는 표면반도체층의 경우, 소자분리막의 두께는 약 50nm 내지 150nm 정도일 수 있고, 고농도 불순물확산영역의 불순물농도는 표면채널하의 고농도 불순물확산영역과 동일할 수 있다. 또한, 서로 접속된 복수의 채널영역은 1개의 위치에서 전원에 접속시킬 수 있어, 채널영역의 임계치전압이 제어될 수 있고 전기적특성이 조정되거나 변화될 수 있다. 이에 대해, 채널영역의 임계치전압을 제어하는 방법으로서, 예컨대, 트랜지스터가 액티브(온)일 때, 바이어스전압이 그에 인가되고, 트랜지스터가 스탠바이(오프)일 때, 플로팅상태로 되는 방법, 및 트랜지스터가 온일 때, 플로팅상태로 되고, 트랜지스터가 오프일 때, 바이어스전압이 그에 인가되는 방법이 있다. 이에 의해, 트랜지스터가 온일 때 임계치전압의 절대치를 감소시켜 구동능력을 증가시킬 수 있고, 트랜지스터가 오프일 때 리크전류 또는 소비전류를 감소시킬 수 있다.

본 발명에 따른 SOI 구조의 반도체장치가 형성될 때, 먼저, 단계 i)에서, 매립된 절연막 및 제 1 도전형 표면반도체층이 기판상에 형성된다. 기판상에 매립된 절연막을 형성하는 방법으로서 공지의 방법, 예컨대, 실란가스 및 산소가스를 이용하는 CVD 법이 사용될 수 있다.

제 1 도전형 표면반도체층은, 해당 분야에서 공지의 반도체층의 형성방법에 따라 소망의 막두께로 형성될 수 있다.

또한, 표면반도체층을 제 1 도전형 표면반도체층으로 하는 방법은, 특별한 방법으로 한정되지 않지만, 다음 방법: 제 1 도전형 불순물을 도핑하면서 표면반도체층을 형성하는 방법; 또는 표면반도체층을 불순물로 도핑하기 위해 표면반도체층을 형성한 후, 제 1 도전형 불순물을 표면반도체층에 주입하는 방법에 의해 도핑하는 방법이 사용될 수 있다. 제 1 도전형 불순물이 P형 불순물인 경우, 보론, BF<sub>3</sub>, 알루미늄, 갈륨, 인듐 등이 사용될 수 있고, 저확산계수를 갖고 확산을 정확히 제어할 수 있기 때문에 갈륨 또는 인듐이 바람직하다. 한편, 제 1 도전형 불순물이 N형 불순물인 경우, 인 또는 비소가 사용된다. 이에

대해, 표면반도체층이 제 1 도전형 불순물로 도핑되는 경우, 표면반도체층 전체가 제 1 도전형 불순물의 균일한 불순물농도로 도핑되거나, 불순물농도가 다른 부분보다 표면에서 더 낮은 제 1 도전형 불순물로 표면반도체층이 도핑되거나, 표면반도체층 전체가 제 1 도전형 불순물의 균일한 농도로 도핑된 후, 제 1 도전형 불순물농도를 감소시키기 위해 제 2 도전형 불순물로 도핑될 수 있다. 표면반도체층 전체가 제 1 도전형 불순물의 균일한 불순물농도로 도핑되는 경우, 제 1 도전형 불순물의 농도는 약  $1 \times 10^{15}$  atoms/cm<sup>2</sup> 내지  $1 \times 10^{17}$  atoms/cm<sup>2</sup> 정도가 바람직하다. 한편, 불순물농도가 표면반도체층의 표면에서 낮은 경우, 그 의 표면의 제 1 도전형 불순물의 농도는 약  $1 \times 10^{15}$  atoms/cm<sup>2</sup> 내지  $1 \times 10^{17}$  atoms/cm<sup>2</sup> 정도가 바람직하다.

다음, 표면반도체층상에 게이트절연막 및 게이트전극이 형성된다. 게이트절연막 및 게이트전극은 통상 MOS 트랜지스터를 형성하는 방법에 따라 형성될 수 있다.

단계 ii)에서, 게이트전극을 마스크로 사용하여 제 2 도전형 불순물이온이 주입되어 제 2 도전형 소스 및 드레인영역을 형성한다. 제 2 도전형 불순물의 유형은 N형 또는 P형일 수 있고 상기의 불순물이 사용될 수 있다. 소스 및 드레인영역의 깊이는, 표면반도체층의 막두께에 따라 조정될 수 있고, 150nm 내지 200nm의 두께를 갖는 표면반도체층의 경우, 깊이는 약 100nm 내지 150nm 정도가 바람직하다. 예컨대, 인이 사용되는 경우, 약 10keV 내지 25keV의 가속에너지, 및 약  $1 \times 10^{16}$  atoms/cm<sup>2</sup> 내지  $4 \times 10^{16}$  atoms/cm<sup>2</sup>의 도우즈로 인이온이 주입됨에 의해, 최종적으로 약  $1 \times 10^{17}$  atoms/cm<sup>2</sup> 내지  $1 \times 10^{18}$  atoms/cm<sup>2</sup>의 불순물 농도로 하는 방법이 사용된다. 또한, 비소가 사용되는 경우, 약 20keV 내지 50keV의 가속에너지, 및 약  $1 \times 10^{16}$  atoms/cm<sup>2</sup> 내지  $4 \times 10^{16}$  atoms/cm<sup>2</sup>의 도우즈로 비사이온이 주입되는 방법이 사용된다. 이 점에서, 소스 및 드레인영역은 LOD 영역 또는 ODD 영역을 갖는 구조로 형성될 수 있다.

단계 iii)에서, 게이트전극을 마스크로 사용하여 제 2 도전형 불순물이온이 더 깊게 주입된다. 이에 의해, 제 2 도전형 소스 및 드레인영역하의 제 1 도전형 표면반도체층의 제 1 도전형 불순물농도를 감소시킬 수 있다. 그 결과, 제 2 도전형 소스 및 드레인영역 사이의 제 1 도전형 채널영역이고, 매립된 절연막에 인접하고, 채널영역의 표면보다 제 1 도전형 불순물농도가 높은 제 1 도전형 고농도 불순물확산 영역을 형성할 수 있다. 예컨대, 표면반도체층이 약 150nm 내지 200nm의 두께를 갖는 폴리실리콘으로 형성되고, 게이트전극이 200nm의 두께를 갖는 폴리실리콘으로 형성되는 경우, 제 2 도전형 불순물의 이온주 입은, 인을 사용하여 약 150keV 내지 170keV의 가속에너지, 및 약  $1 \times 10^{18}$  atoms/cm<sup>2</sup> 내지  $5 \times 10^{18}$  atoms/cm<sup>2</sup>의 도우즈로 실행되어, 최종적으로 약  $1 \times 10^{19}$  atoms/cm<sup>2</sup> 내지  $1 \times 10^{20}$  atoms/cm<sup>2</sup>의 제 1 도전형 불순물농도로 하게 된다. 비소가 사용되는 경우, 약 320keV 내지 380keV의 가속에너지, 및 약  $1 \times 10^{18}$  atoms/cm<sup>2</sup> 내지  $5 \times 10^{18}$  atoms/cm<sup>2</sup>의 도우즈로 이온주입이 실행된다.

이에 대해, 게이트절연막 및 게이트전극이 단계 i)에서 형성되기 전에, 제 1 도전형 불순물농도가, 매립된 절연막에 인접하는 제 1 도전형 불순물농도보다 표면반도체층의 표면에서 낮게 되지 않는 경우, 단계 iii)의 제 2 도전형 불순물의 이온주입에서는, 게이트전극이 형성되는 영역에서 이온이 게이트 전극 및 게이트절연막을 관통하여, 표면반도체층의 표면에 도달하도록 이온의 종류 및 가속에너지를 선택 할과 동시에, 게이트전극 및 게이트절연막의 막두께를 조정하는 것이 바람직하다. 한편, 게이트전극이 형성되지 않는 영역에서는, 주입된 불순물이온이 소스 및 드레인영역을 관통하여, 소스 및 드레인영역과 매 립된 절연막 사이의 표면반도체층에 도달하여, 소스 및 드레인영역하의 표면반도체층의 제 1 도전형 불순 물농도를 감소시킨다.

이하에, 본 발명에 따른 SOI 구조의 반도체장치의 바람직한 실시예를 도면을 참조하여 설명한다.

#### 실시예 1

도 1은 SOI 구조의 NMOSFET를 나타낸다. 도 1에서, 실리콘기판(1)상에 매립된 절연막(2) 및 표면 실리콘층(3)이 적층되며, 즉, SOI 구조의 기판이 사용된다. SOI 구조의 기판의 표면실리콘층(3)의 표면에는, 표면실리콘층(3)보다 얇은 N형 소스 및 드레인영역(6,7)이 형성된다. 표면실리콘층(3)의 표면이고, 소스 및 드레인영역(6,7) 사이에는, P형 표면채널(4)이 배치된다. 또한, 소스 및 드레인영역(6,7)하의 표 면실리콘층(3)에는, 표면채널(4)보다 불순물농도가 낮은 P형 저농도 불순물확산영역(8,9)이 형성된다. 또 한, P형 표면채널(4)의 하부이고, 저농도 불순물확산영역(8,9)사이에는, 표면채널(4)보다 불순물농도가 높은 P형 고농도 불순물확산영역(5)이 형성된다. 불순물농도의 프로파일이 도 2에 도시되어 있다. 고농도 불순물 확산영역(5)은 외부전압(10)에 접속된다. 또한, 표면채널(4)상에 게이트절연막(24)을 통해 게이트 전극(11)이 형성된다.

이 점에서, 1개의 NMOSFET가 상술되었지만, 도 3에 도시된 바와 같이, CMOSFET가 사용될 수 있 다.

도 3에 도시된 CMOSFET에서, 표면실리콘층(3)에, 표면실리콘층(3)보다 두껍고, 매립된 절연막(2) 에 도달하는 분리영역(13)이 형성되며, NMOS 영역과 PMOS 영역을 분리시킨다. 분리영역(13)은 NMOS와 PMOS 사이의 상호간섭(예컨대, 래치업)을 방지할 수 있다.

또한, NMOS 영역 및 PMOS 영역에 표면실리콘층(3)보다 얇은 소자분리영역(12)이 각각 형성되고, 이들 소자분리영역(12)에 의해 분리된 복수의 NMOSFET 및 복수의 PMOSFET가 NMOS 영역 및 PMOS 영역에 각 각 형성된다.

복수의 NMOSFET의 P형 고농도 불순물확산영역(5)은, 소자분리영역(12)하에 배치되는 P형 고농도 불순물확산영역(5a)에 의해 서로 접속되고 1개의 위치에서 외부전압(10)에 접속되고, 복수의 PMOSFET의 N 형 고농도 불순물확산영역(15)은, 소자분리영역(12)하에 배치되는 N형 고농도 불순물확산영역(15a)에 의 해 서로 접속되고 1개의 위치에서 외부전압(20)에 접속된다.

PMOSFET는, 상기한 NMOSFET와 도전형이 다른 것을 제외하고 실질적으로 동일한 구성, 즉, P형 소 스 및 드레인영역(16,17), N형 채널영역(14), N형 저농도 불순물확산영역(18,19), N형 고농도 불순물확산

영역(15), 게이트절연막 및 게이트전극(21)을 갖고, NMOSFET의 경우와 같이, 외부전압(20)에 접속된다.

이와 같은 구성을 갖는 MOSFET는, 이하의 장점을 갖는다.

- (a) 소스 및 드레인영역(6, 7, 16, 17)의 접합용량이 저농도 불순물확산영역(8, 9, 18, 19)의 완전공핍화에 의해 감소될 수 있다.
- (b) 표면실리콘층(3)은 완전공핍화 SOI 구조의 표면실리콘층보다 두껍기 때문에, 프로세스마진이 크게 될 수 있어, 표면실리콘층(3)이 용이하게 제조된다.
- (c) 서브스레쉬홀드 스위칭은 완전공핍화 SOI와 비교하여 크지만, 외부전압(10, 20)에 의한 채널 보디에 인가된 전압을 제어함에 의해 오프 리크전류를 감소시키도록 임계치전압이 조정될 수 있다.
- (d) 고농도 불순물확산영역(5, 15)에 의해 외부전압(10, 20)에 MOSFET가 접속되고, 고농도 불순물확산영역(5, 15)은 인접하는 복수의 트랜지스터에 의해 공유된 공통 웰영역으로서 형성될 수 있다. 따라서, 기판에 전압을 인가하기 위해 외부영역을 제공할 필요가 없고, MOSFET의 면적을 감소시킬 수 있다. 또한, 트랜지스터의 설계배치는 벌크 CMOS와 동등하게 할 수 있다.
- (e) 표면채널(4, 14)하의 고농도 불순물확산영역(5, 15)은 매우 낮은 저항을 갖고, RC 지연 및, 예컨대, 게이트전압이 인가될 때의 표면채널(4, 14)의 전위의 과도현상을 제거할 수 있다.

이하에, 상기의 SOI 구조의 MOSFET의 특성에 대해 설명한다. 먼저, 상기 SOI 구조의 MOSFET는 항상 완전공핍화되지 않기 때문에, S 팩터를 감소시킴에 의해 오프 전류가 감소될 수 있다. 그러나, 표면실리콘층(3)의 고농도 불순물확산영역(5)에 의해, MOSFET가 온/오프될 때 임계치전압이 제어될 수 있다.

즉, 도 4에 도시된 바와 같이, 상기 SOI 구조의 MOSFET의  $I_d-V_g$  특성에 의하면, 게이트전극의  $W/L$ 이  $2\mu m/0.35\mu m$ 이고,  $V_{ds} = 0.6V$ 인 경우, 기판에 인가되는 전압( $V_b$ )이 0일 때, 낮은 임계치전압이 얻어질 수 있고, 기판전압을 개방함에 의해 높은 임계치전압이 얻어질 수 있다. 따라서, 예컨대, 통상의 동작중에는, 기판에 인가된 전압을 조정함에 의해 MOSFET의 임계치전압이 약 0.1V 이하로 감소되어, 높은 구동능력을 얻을 수 있고, 오프 상태중에는, 기판에 인가된 전압을 조정함에 의해 MOSFET의 임계치전압이 약 0.6V 이상으로 증가되어, 오프 리크전류를 감소시킬 수 있다.

웰저항( $R_w$ )은, 도 3에 도시된 바와 같이, 게이트하의 고농도영역(5)의 농도 및 소자분리막하의 고농도영역(5a)의 농도를 적절히 조정함에 의해 결정될 수 있다. 따라서, 상기 웰저항( $R_w$ )은, 이하의 기판전류의 효과 및 AC 과도현상을 고려하여 결정된다.

통상, 웰내에 형성된 MOSFET가, 도 5(a)에 도시된 바와 같이, 웰콘택트( $C_w$ )로부터 거리(S)만큼 떨어져 있을 경우, 웰저항( $R_w$ )은, 도 5(b) 및 5(c)에 도시된 바와 같이, 기판전류( $I_{sub}$ )로 인한 오믹 전압강하에 따라 소스접합에서의 순방향 바이어스가 되는 것을 피하기 위해 이하의 식에 나타내진 바와 같이, 충분히 감소될 필요가 있다.

$$V_b + R_w \cdot I_{sub} < V_{jon} \approx 0.6V$$

웰저항( $R_w$ )은 레이아웃 및 웰의 저항률에 의존한다. 도 6은, 웰의 시트저항이  $300\Omega/sqr.$ ,  $10^4\Omega/sqr.$ ,  $3 \times 10^4\Omega/sqr.$ ,  $10^5\Omega/sqr.$ 로 변화될 때의 웰저항( $R_w$ )과 MOSFET 및 웰콘택트 사이의 거리(S)와의 관계를 나타낸다. 이 점에서, 이 MOSFET가 저전압( $V_{dd}: 1V$  이하)에 의해 동작될 때, MOSFET의 기판전류( $I_{sub}$ )가 약  $10nA/\mu m$  이하로 대단히 낮고,  $10\mu m$ 의 게이트폭을 갖는 MOSFET의 기판전류( $I_{sub}$ )가 약  $100nA$  이하이고, MOSFET의 웰저항( $R_w$ )은  $10^5\Omega$  이하로 된다. 따라서, 웰의 시트저항이 약  $2000\Omega/sqr.$  이하인 저전압에 의해 동작되는 디바이스의 유형에도 MOSFET가 충분히 응용될 수 있다.

또한, 웰콘택트에 대한 AC 과도효과를 얻기 위해, 낮은 웰저항( $R_w$ ) 및 낮은 웰용량( $C_w$ )이 필요하다. 이 조건은 다음 식에 의해 표현된다:

$$r_w = \frac{R_w \cdot C_w}{2} \ll \tau$$

여기서,  $\tau$ 는 신호의 상승시간이다. 예컨대,  $\tau$ 이 약  $50psec$  이하인 고속의 신호에 대해서는,  $R_w \cdot C_w \ll 100psec$ 로 된다. 웰저항( $R_w$ )이 약  $2000\Omega$  이하이고,  $C_w \ll 5 \times 10^{-14}F$ 인 전형적인 경우, 1차 근사식은 다음 식에 의해 표현된다:

$$R_w \cdot C_w \approx \frac{E_m \cdot \rho_s}{T_{bax}} \cdot S^2 < 2 \cdot \tau$$

이들의 관계는 웰두께 및 웰저항을 설계하기 위한 가이드라인으로서 사용될 수 있다. 통상, 고속동작회로에 대해,  $R_w \cdot C_w$  시정수는 웰콘택트의 설계에 있어서 엄격한 조건을 부여한다.

이하에, 도 1에 도시된 NMOSFET의 제조방법을 설명한다.

먼저, 도 7(a)에 도시된 바와 같이, 실리콘기판(1)상에  $50nm$  내지  $500nm$ 의 두께를 갖는  $SiO_2$ 로 형성되는 매립된 절연막(2) 및 약  $150nm$  내지  $200nm$ 의 두께를 갖는 표면실리콘층(3)이 적층된 SOI 기판이 사용된다. 이에 대해, 표면실리콘층(3)상에는, 로코스법, 트렌치법 등에 의해 표면실리콘층(3)보다 두껍

고, 각 NMOSFET를 분리하는 소자분리영역(도시안됨)이 형성된다.

다음, 예컨대, 표면실리콘층(3)에 30keV의 가속에너지 및  $2 \times 10^{14}$  atoms/cm<sup>2</sup>의 도우즈로 보론이온이 주입된 후, 900°C, 60분간 어닐됨으로써,  $10^{19}$  atoms/cm<sup>3</sup> 이상의 보론이온농도를 갖는 P형 고농도 불순물확산영역(5)이 형성된다. 고농도 불순물확산영역(5)은, 트랜지스터가 낮은 배선저항 및 낮은 콘택트저항을 가지기 위해 필요하다.

다음, 도 7(b)에 도시된 바와 같이, 표면실리콘층(3)상에 10nm의 두께를 갖는 산화막(25)이 형성되고, 산화막(25)을 통해 표면실리콘층(3)에 20keV의 가속에너지 및  $1 \times 10^{14}$  atoms/cm<sup>2</sup>의 도우즈로 As 이온(22)이 주입된다. As 이온(22)은, 고농도 불순물확산영역(5)의 표면의 불순물의 일부를 캔슬하여, 약  $1 \times 10^{16}$  atoms/cm<sup>3</sup> 내지  $1 \times 10^{17}$  atoms/cm<sup>3</sup>의 불순물농도를 갖는 P형 표면채널(4)을 형성한다. 이에 의해, 저전압 동작(온 상태)에 대해 0.1V의 임계치전압을 갖는 디바이스를 얻을 수 있다.

다음, 도 7(c)에 도시된 바와 같이, 표면실리콘층(3)상에 게이트절연막(24)이 형성된다. 게이트절연막(24)의 두께는, 서브하프 마이크론 미터의 채널길이를 갖는 디바이스에 대해 약 4nm 내지 8nm 이다. 게이트절연막(24)상에 약 200nm의 두께를 갖는 폴리실리콘막이 형성되고, 포토리소그라피 및 에칭기술에 의해 패터닝되어, 게이트전극(11)을 형성한다. 다음, 게이트전극(11)을 마스크로 사용하여, As 이온(23)이 표면실리콘층(3)에 주입된다. 이온주입은, 320keV의 가속에너지 및  $1 \times 10^{14}$  atoms/cm<sup>2</sup>의 도우즈로 실행되며, 고농도 불순물확산영역(5)중, 소스 및 드레인영역(6,7) 및 매립된 절연막(2)의 접합 부근의 불순물의 일부를 캔슬하여, 결과적으로,  $1 \times 10^{16}$  atoms/cm<sup>3</sup> 내지  $1 \times 10^{17}$  atoms/cm<sup>3</sup>의 불순물농도를 갖는 P형 저농도 불순물확산영역(8,9)을 형성한다. 또한, 인이온이, 40keV의 가속에너지 및  $4 \times 10^{16}$  atoms/cm<sup>2</sup>의 도우즈로 주입되며, 고농도 불순물확산영역(5)중, 표면실리콘층(3)의 표면의 불순물을 캔슬하여, 도전형을 변환시킨다. 그 결과,  $1 \times 10^{17}$  atoms/cm<sup>3</sup> 내지  $1 \times 10^{18}$  atoms/cm<sup>3</sup>의 불순물농도를 갖는 N형 소스 및 드레인영역(6,7)을 형성한다.

이에 의해, 도 1에 도시된 바와 같이, 소스 및 드레인영역(6,7)하에 P형 저농도 불순물확산영역(8,9)이 형성될 수 있다.

이에 대해, 상기 공정은 PMOSFET와 동시에 실행될 수 있다. 또한, 채널보디 접속 및 채널보디 콘택트는 벌크 CMOS 프로세스와 동일한 방식으로 형성되고, 금속배선에 의해 접속되어 반도체장치를 완성한다.

#### 실시예 2

이 바람직한 실시예의 SOI 구조의 NMOSFET는, 도 8에 도시된 바와 같이, N형 소스/드레인영역(6,7)하의 표면실리콘층(3a)에 표면채널(4)과 동등한 불순물농도를 갖는 P형 불순물확산영역(8a,9a)이 형성되는 것을 제외하고, 바람직한 실시예 1의 SOI 구조의 NMOSFET와 동일하다.

이하에, 도 8에 도시된 SOI 구조의 NMOSFET의 제조방법을 설명한다. 먼저, 실시예 1과 동일한 SOI 기판이 사용되고, 표면실리콘층(3)에 P형 고농도 불순물확산영역(5)이 형성된다.

그 후, 도 9에 도시된 바와 같이, 표면실리콘층(3)의 표면에, 게이트절연막(24) 및 게이트전극(11)이 형성된다. 다음, 게이트전극(11)을 마스크로 사용하여, 게이트전극(11)하의 표면채널(4) 및 표면실리콘층(3)의 표면과 매립된 절연막(2)의 접합 부근에 동시에 인이온(25)이 주입된다. 이온주입은, 150keV의 가속에너지 및  $1 \times 10^{14}$  atoms/cm<sup>2</sup>의 도우즈로 실행되며, 고농도 불순물확산영역(5)중, 표면채널(4) 및 표면실리콘층(3)과 매립된 절연막(2)의 접합 부근의 불순물의 일부를 캔슬하여, 결과적으로, 약  $1 \times 10^{17}$  atoms/cm<sup>3</sup>의 불순물농도를 갖는 P형 표면채널(4) 및 불순물확산영역(8a,9a)을 형성한다. 또한, 인이온은 40keV의 가속에너지 및  $4 \times 10^{16}$  atoms/cm<sup>2</sup>의 도우즈로 주입되며, 고농도 불순물확산영역(5)중, 표면실리콘층(3a)의 표면의 불순물을 캔슬하여, 도전형을 변환시킨다. 결과적으로,  $1 \times 10^{17}$  atoms/cm<sup>3</sup> 내지  $1 \times 10^{18}$  atoms/cm<sup>3</sup>의 불순물농도를 갖는 N형 소스 및 드레인영역(6,7)을 형성한다.

이에 의해, 바람직한 실시예 1의 제조방법보다 제조단계를 감소시키면서, 도 1에 도시된 SOI 구조의 MOSFET의 경우와 같이, 소스 및 드레인영역(6,7)하에 P형 불순물확산영역(8a,9a)을 형성할 수 있고, 불순물확산영역(8a,9a)과 동일한 불순물농도를 갖는 표면채널(4)을 형성할 수 있다.

#### 발명의 효과

본 발명에 따른 SOI 구조의 반도체장치는, 기판상에 적층된 매립된 절연막 및 제 1 도전형 표면 반도체층으로 형성되는 SOI 기판, 상기 표면반도체층에 형성된 제 2 도전형 소스 및 드레인영역, 및 소스영역과 드레인영역 사이의 제 1 도전형 채널영역상에 게이트절연막을 통해 형성된 게이트전극을 포함한다. 상기 소스 및 드레인영역이 상기 표면반도체층보다 얇고, 상기 채널영역이, 채널영역의 표면보다 제 1 도전형 불순물농도가 높고 매립된 절연막에 인접하는 제 1 도전형 고농도 불순물확산영역을 갖기 때문에, 표면채널하의 고농도 불순물확산영역은 매우 낮은 저항을 갖고, RC 지연, 및 예컨대, 게이트전압이 인가될 때의 표면채널(4,14)의 전위의 과도현상을 제거할 수 있다. 또한, 본 발명에 의하면, 표면반도체층은 비교적 두꺼운 두께로 형성될 수 있어, 프로세스마진이 크게 되고, 반도체장치의 제조가 용이해진다.

또한, 채널영역이 전원에 접속되는 경우, 외부전압에 의해 채널영역에 인가된 전압이 제어될 수 있다. 따라서, 온 상태에서, 반도체장치의 구동능력이 향상되어 저전압 동작을 실현할 수 있고, 오프 상태에서, 오프 리크전류를 감소시키기 위해 임계치전압이 조정될 수 있다.

또한, 소스 및 드레인영역과 매립된 절연막 사이의 표면반도체층이 완전히 공핍화되는 경우, 소스 및 드레인영역의 접합용량이 감소될 수 있다.

또한, 채널영역이, 소자분리영역하에 형성된 고농도 불순물확산영역을 통해 인접하는 다른 채널 영역에 접속되고, 1개의 위치에서 전원에 접속되는 경우, 포텐셜을 제어하기 위해 기판에 전압을 인가하거나, 반도체장치의 임계치전압을 제어하기 위해 외부영역을 특별히 제공할 필요가 없어, 점유면적을 감소시킬 수 있다. 또한, 트랜지스터의 설계배치는 벌크 CMOS와 동일하게 될 수 있어, 더 반도체장치의 고집적화를 도모할 수 있다.

#### (57) 청구의 범위

청구항 1. 매립된 절연막 및 매립된 절연막상의 제 1 도전형 표면반도체층을 갖는 SOI 기판;

상기 표면반도체층에 형성된 제 2 도전형 소스 및 드레인영역;

상기 소스 및 드레인영역 사이의 제 1 도전형 채널영역상에 게이트절연막을 통해 형성된 게이트전극을 포함하며,

상기 소스 및 드레인영역이 상기 표면반도체층보다 얇고, 상기 표면반도체층의 상기 채널영역이, 상기 채널영역의 표면보다 제 1 도전형 불순물농도가 높고, 매립된 절연막에 인접하는 제 1 도전형 고농도 불순물확산영역을 갖는 SOI 구조의 반도체장치.

청구항 2. 제 1 항에 있어서, 제 1 도전형 고농도 불순물확산영역이  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 내지  $1 \times 10^{20}$  atoms/cm<sup>3</sup>의 불순물농도를 갖고, 채널영역의 표면영역이  $1 \times 10^{16}$  atoms/cm<sup>3</sup> 내지  $1 \times 10^{18}$  atoms/cm<sup>3</sup>의 불순물농도를 갖는 반도체장치.

청구항 3. 제 1 또는 2 항에 있어서, 채널영역이 트랜지스터의 특성을 조정 또는 변화시키도록 전원에 접속되는 반도체장치.

청구항 4. 제 1 항에 있어서, 온 상태에서, 임계치전압의 절대치를 감소시키기 위해 채널영역에 바이어스전압이 인가되고, 오프 상태에서, 리크전류를 감소시키기 위해 채널영역이 플로팅상태로 설정되는 반도체장치.

청구항 5. 제 1 항에 있어서, 오프 상태에서, 임계치전류의 절대치를 감소시키기 위해 채널영역에 바이어스전압이 인가되고, 온 상태에서, 임계치전압을 감소시키기 위해 채널영역이 플로팅상태로 설정되는 반도체장치.

청구항 6. 제 1 항에 있어서, 소스 및 드레인영역과 매립된 절연막 사이의 표면반도체층이 완전히 공핍화되는 반도체장치.

청구항 7. 제 1 항에 있어서, CMOS 회로를 구성하는 반도체장치.

청구항 8. 제 3 항에 있어서, 반도체장치의 채널영역이, 소자분리영역하에 형성된 고농도 불순물확산영역을 통해 인접하는 채널영역에 접속되고, 1개의 위치에서 전원에 접속되는 반도체장치.

청구항 9. i) 기판상에 매립된 절연막 및 제 1 도전형 표면반도체층을 형성하며, 상기 표면반도체층상에 게이트절연막 및 게이트전극을 형성하는 단계;

ii) 제 2 도전형 소스 및 드레인영역을 형성하기 위해 상기 게이트전극을 마스크로 사용하여 제 2 도전형 불순물이온을 주입하는 단계; 및

iii) 제 2 도전형 소스 및 드레인영역하의 제 1 도전형 표면반도체층의 제 1 도전형 불순물농도를 감소시키기 위해 게이트전극을 마스크로 사용하여 제 2 도전형 불순물이온을 더 깊게 주입함에 의해, 제 2 도전형 소스 및 드레인영역 사이의 제 1 도전형 채널영역이고 매립된 절연막에 인접하고, 채널영역의 표면보다 제 1 도전형 불순물농도가 높은 제 1 도전형 고농도 불순물확산영역을 형성하는 단계를 포함하는 SOI 구조의 반도체장치의 제조방법.

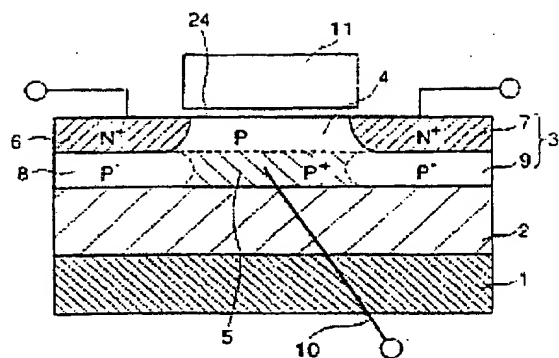
청구항 10. 제 9 항에 있어서, 게이트절연막 및 게이트전극이 단계 i)에서 형성되기 전에, 제 1 도전형 표면반도체층의 표면에만 제 2 도전형 불순물이 주입되며, 상기 표면의 제 1 도전형 불순물농도를 감소시키는 SOI 구조의 반도체장치의 제조방법.

청구항 11. 제 9 항에 있어서, 게이트절연막 및 게이트전극을 통해 표면반도체층의 표면에 제 2 도전형 불순물이온이 도달되도록 하는 가속에너지를 인가함에 의해 제 2 도전형 불순물이온이 단계 iii)에서 주입되는 SOI 구조의 반도체장치의 제조방법.

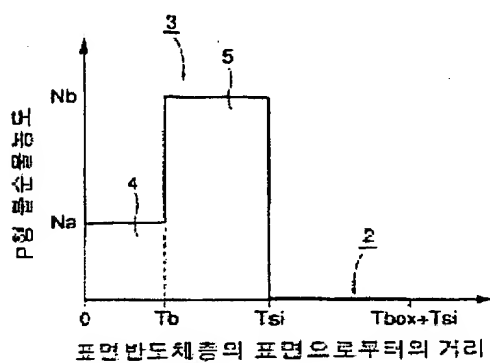
청구항 12. 제 9 항에 있어서, 단계 i)의 제 1 도전형 표면반도체층은 저확산 불순물을 포함하는 SOI 구조의 반도체장치의 제조방법.

도면

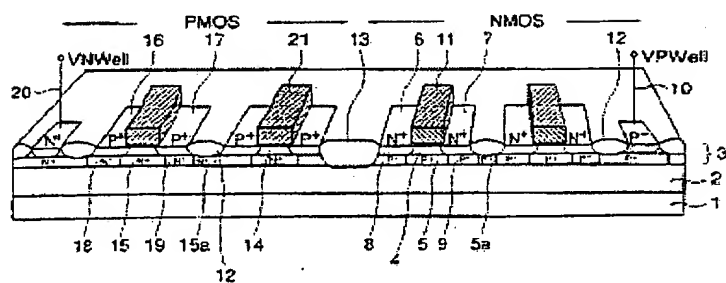
도표 1



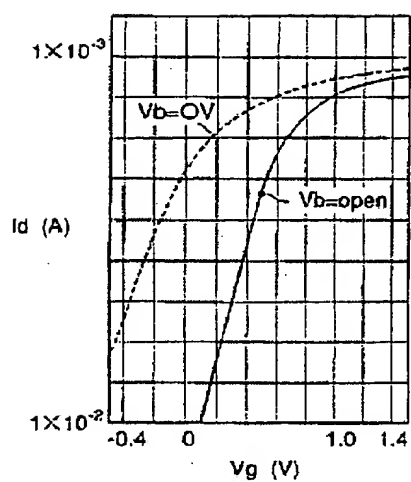
502



503

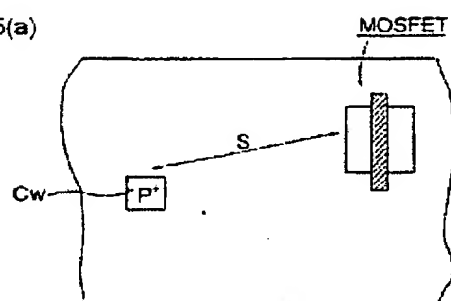


도 5B

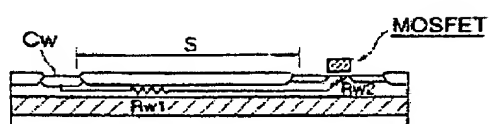


도 5B5

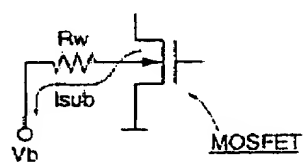
도 5(a)



도 5(b)

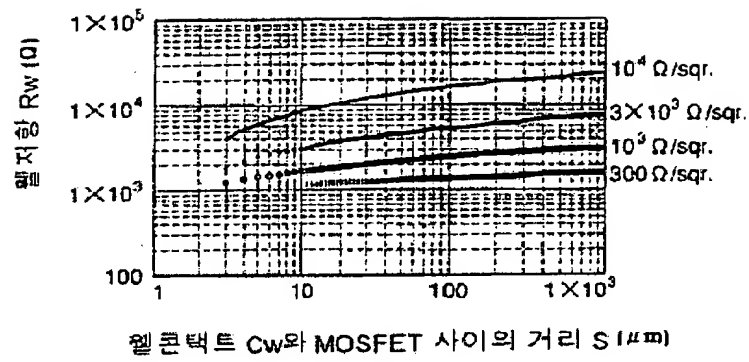


도 5(c)



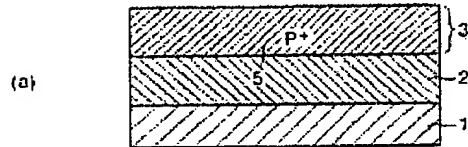


도 28

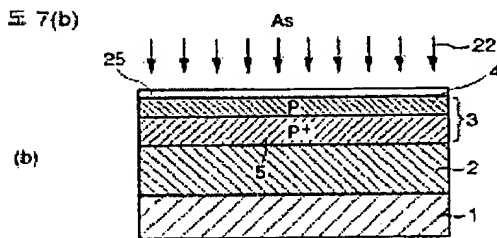


도 29

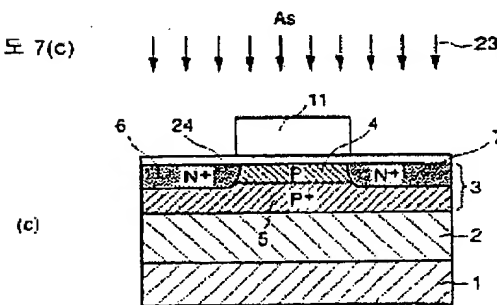
도 7(a)



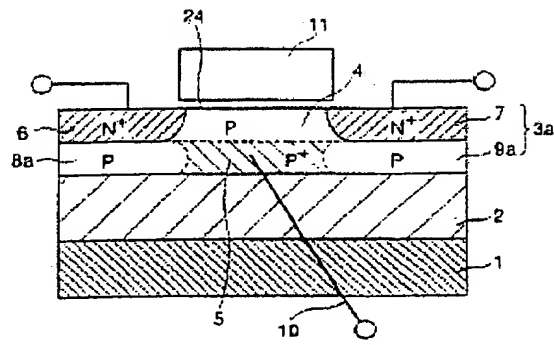
도 7(b)



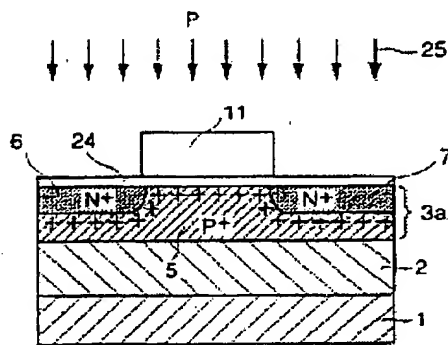
도 7(c)



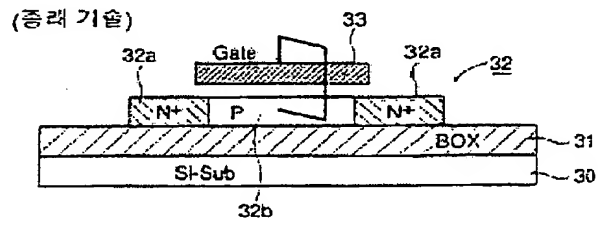
도면8



도면9

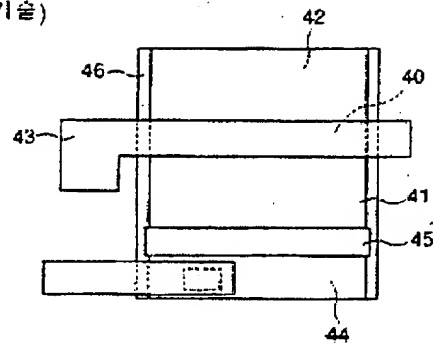


도면10



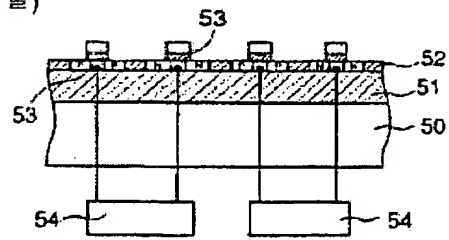
도면 11

(증래 기술)



도면 12

(증래 기술)



(1) Japanese Patent Application Laid-Open No. 2000-174283

**“SEMICONDUCTOR DEVICE HAVING SOI STRUCTURE”**

The following is an English translation of an extract of the above application.

- 5           A semiconductor device having SOI structure according to the present invention comprises a SOI substrate in which a buried insulating film 2 and a surface semiconductor layer 3 of a first conductivity type are laminated, source/drain regions 6 and 7 formed in the surface semiconductor layer 3, and a gate insulating film 24 and a gate electrode 11 which are on a channel region of a first conductivity type between the source/drain regions 6 and 7.
- 10   In the semiconductor device disclosed here, the thickness of the source/drain regions 6 and 7 is smaller than that of the surface semiconductor layer 3, and the channel region has a high- concentration impurity diffusion layer 5 of a first conductivity type having a higher impurity concentration in the vicinity of the buried insulating film 2 than in the surface region.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-174283

(P2000-174283A)

(43) 公開日 平成12年6月23日 (2000.6.23)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)	
H 0 1 L	29/786	H 0 1 L 29/78	6 1 8 F	5 F 0 4 0
	21/8238	27/08	3 2 1 C	5 F 0 4 8
	27/092	29/78	3 0 1 H	5 F 1 1 0
	29/78		6 1 3 A	

審査請求 未請求 請求項の数11 O L (全 12 頁)

(21) 出願番号 特願平10-344247 ✓  
(22) 出願日 平成10年12月3日 (1998.12.3)

(71) 出願人 000005049  
シャープ株式会社  
大阪府大阪市阿倍野区長池町22番22号  
(72) 発明者 アルベルト・オー・アダン  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内  
(74) 代理人 100065248  
弁理士 野河 信太郎

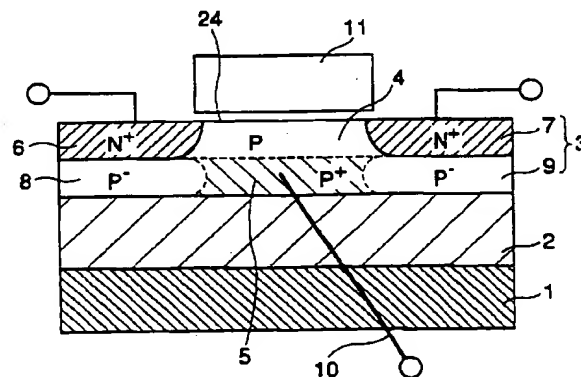
最終頁に続く

(54) 【発明の名称】 SOI 構造の半導体装置

(57) 【要約】

【課題】 動作状態ではMOSFETの低電圧動作を実現するために閾値電圧を低く設定し、OFF状態ではOFFリーク電流を低減するために閾値電圧を高く設定することができる基板ドーピングプロファイルを持つSOI構造の半導体装置を提供する。

【解決手段】 埋め込み絶縁膜2及び第1導電型の表面半導体層3が積層されてなるSOI基板と、表面半導体層3に形成されたソース/ドレイン領域6、7と、ソース/ドレイン領域6、7間の第1導電型チャネル領域上にゲート絶縁膜24とゲート電極11とを有してなり、ソース/ドレイン領域6、7が表面半導体層3の厚さよりも薄く、チャネル領域が埋め込み絶縁膜2近傍においてその表面領域よりも不純物濃度が高い第1導電型高濃度不純物拡散層5を有しているSOI構造の半導体装置。



## 【特許請求の範囲】

【請求項1】 埋め込み絶縁膜及び第1導電型の表面半導体層が積層されてなるSOI基板と、前記表面半導体層に形成された第2導電型ソース/ドレイン領域と、該ソース/ドレイン領域間の第1導電型チャネル領域上にゲート絶縁膜を介して形成されたゲート電極とからなり、

前記ソース/ドレイン領域が、前記表面半導体層の厚さよりも薄く形成されており、

前記チャネル領域が、前記埋め込み絶縁膜近傍においてその表面領域よりも第1導電型不純物濃度が高く設定された第1導電型高濃度不純物拡散層を有していることを特徴とするSOI構造の半導体装置。

【請求項2】 第1導電型高濃度不純物拡散層が、 $1 \times 10^{18} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ 、チャネル領域の表面領域が $1 \times 10^{15} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ の不純物濃度である請求項1に記載の半導体装置。

【請求項3】 チャネル領域が、トランジスタの電気的特性を調整又は変化させることができるように電源に接続されてなる請求項1又は2に記載の半導体装置。

【請求項4】 オン状態においては閾値電圧の絶対値を減少させるためにチャネル領域にバイアスが印加され、オフ状態においてはリーク電流減少のためにチャネル領域がフローティング状態に設定される請求項1～3のいずれか1つに記載の半導体装置。

【請求項5】 オフ状態においては閾値電圧の絶対値を減少させるためにチャネル領域にバイアスが印加され、オン状態においてはリーク電流減少のためにチャネル領域がフローティング状態に設定される請求項1～3のいずれか1つに記載の半導体装置。

【請求項6】 ソース/ドレイン領域と埋め込み絶縁膜との間の表面半導体層が完全に空乏化してなる請求項1～5のいずれか1つに記載の半導体装置。

【請求項7】 請求項3に記載の半導体装置のチャネル領域が、素子分離領域直下に形成された高濃度不純物拡散層を介して互いに隣接するチャネル領域と接続され、かつ1ヶ所電源に接続されてなる半導体装置。

【請求項8】 (i) 基板上に、埋め込み絶縁膜及び第1導電型の表面半導体層を形成し、さらに、該表面半導体層上にゲート絶縁膜及びゲート電極を形成し、(ii) 該ゲート電極をマスクとして用いて第2導電型不純物イオン

$$I_{\text{doff}} = I_0 \times 10^{-n_h/s}$$

$$I_0 \approx 2 \times 10^{-7} \text{ Amp}/\mu\text{m}$$

$$S = \ln 10 \cdot \frac{dV_{gs}}{d(\ln I_{ds})} = (\ln 10) \cdot \frac{kT}{q} \left( 1 + \frac{C_d}{C_{ox}} \right) \approx 90 \text{ mV/dec}$$

【0004】 (ここで、 $I_{\text{doff}}$ はオフ時( $V_g = 0$ )のドレイン電流、 $I_0$ は $V_g = V_{th}$ のときのドレイン電流、 $S$ はサブスレッショルドの傾き( $S$ ファクタ)、 $C_d$ は

を注入することにより第2導電型ソース/ドレイン領域を形成し、(iii) 続いて該ゲート電極をマスクとして用いて第2導電型不純物イオンをより深く注入することにより、第2導電型ソース/ドレイン領域下の第1導電型の表面半導体層の第1導電型不純物濃度を低減させて、第2導電型ソース/ドレイン領域間の第1導電型チャネル領域であって、埋め込み絶縁膜近傍においてその表面領域よりも第1導電型不純物濃度が高い第1導電型高濃度不純物拡散層を形成することを特徴とする請求項1記載のSOI構造の半導体装置の製造方法。

【請求項9】 工程(i)において、ゲート絶縁膜及びゲート電極を形成する前に、第1導電型の表面半導体層の表面にのみ第2導電型不純物を注入して、該表面の第1導電型不純物濃度を低減させる請求項8記載のSOI構造の半導体装置の製造方法。

【請求項10】 工程(iii)において、第2導電型不純物イオンを、ゲート絶縁膜及びゲート電極を貫通して表面半導体層の表面に到達する加速エネルギーで注入する請求項8記載のSOI構造の半導体装置の製造方法。

【請求項11】 工程(i)における第1導電型の表面半導体層を低拡散不純物を含有させることにより形成する請求項8記載のSOI構造の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はSOI構造を有する半導体装置に関し、より詳細には、高濃度不純物拡散層を有するSOI基板に形成され、特に低電圧動作集積回路に適用可能な半導体装置に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】最近のCMOS回路は低電圧動作が実現されているが、このような低電圧動作( $V_{dd} < 1.5 \text{ V}$ )の実現に対して、CMOS回路を構成するMOSFETは、十分な動作マージンを持たせるために、その閾値電圧( $V_{th}$ )を電源電圧( $V_{dd}$ )の $1/4$ 以下程度に減少させる必要がある。しかし、閾値電圧が低下すると、MOSFETのOFFリーク電流が次式的関係に従って指数関数的に増加する。

【0003】

【数1】

空乏層容量、 $C_{ox}$ はゲート容量である)

この関係によれば、トランジスタの動作電圧とLSIのスタンバイ電流とはトレードオフの関係にあることがわ

かる。よって、閾値電圧の低いMOSFETでは大きいスタンバイ電流を生じるため、低電圧、低消費電力及びバッテリー動作LSI等に対しては実用的でない。

【0005】このような低閾値電圧とOFFリーク電流とのトレードオフの問題を解決する方法として、動作状態とスタンバイ状態とにおけるMOSFETの閾値電圧をコントロールする、すなわち、トランジスタの動作状態ではMOSFETの低電圧動作を実現するために閾値電圧を低く設定し、OFF状態ではOFFリーク電流を低減するために閾値電圧を高く設定する方法が考えられる。

【0006】ところで、MOSFETがSOI基板に形成された場合には、完全な誘電体分離、ラッチアップフリー等いくつかの利点があるとともに、特に、完全空乏化されたSOI構造のMOSFETについては、表面半導体層のチャネル領域の全部が空乏化するに十分薄いため、 $C_d=0$ となり、Sファクタを室温では60mV/decまで減少することができる。これにより、OFF電流を低減することができる。しかし、低閾値電圧のトレードオフは、より低い電圧にシフトされるだけである。

【0007】また、閾値電圧をコントロールする方法の一つとして、例えば、SOI構造の基板に形成されたDTMOS（ダイナミック・スレッショルドMOS）がIEEEに提案されている。このDTMOSは、図10に示したように、シリコン基板30上に埋め込み絶縁膜31及び表面半導体層32が形成され、表面半導体層32上にゲート電極33が形成されるとともに、表面半導体層32にソース/ドレイン領域32a及びチャネル領域32bが形成された構造を有している。また、ゲート電極33は、チャネル領域32bと電気的に接続されている。このような構造により、チャネル領域32bに電圧が直接印加され、よって、チャネルの閾値電圧をコントロールすることができる。

【0008】しかし、このDTMOSでは、トランジスタごとに、チャネル領域32bがゲート電極33と直接接続されるために、チャネル領域32bとゲート電極33とのコンタクトを別途設けなくてはならず、レイアウト面積の増大を招くとともに、製造工程を複雑化するという問題がある。さらに、動作電圧 $V_{dd}$ は、リーク電流を避けるために、ソース/基板間のダイオードのターンオフ電圧（0.6V）より十分低くしなければならず、応用面が制限されるという課題もある。

【0009】さらに、別の例として、図11に示するようなSOI構造のMOS型半導体装置が、特開平9-246562号公報に提案されている。この半導体装置は、表面半導体層上にゲート電極43が形成されるとともに、表面半導体層にソース/ドレイン領域41、42及びチャネル領域40が形成され、ソース領域41に素子分離膜45を介して隣接してボディコンタクト領域9

と、チャネル領域40とボディコンタクト領域44とを電気的に接続する経路46を備えた構造である。このような構造により、チャネル領域40に電圧が直接印加され、よって、チャネルの閾値電圧をコントロールすることができる。

【0010】しかし、このような構造では、トランジスタを囲む領域にチャネル領域40とボディコンタクト領域44とを接続する経路46が形成されているので、より大きな半導体装置の設計面積が必要となるという問題がある。

【0011】また、さらに別の例として、図12に示すような半導体装置が、特開平9-36246号公報に提案されている。この半導体装置は、シリコン基板50上に埋め込み絶縁膜51及び表面半導体層52が形成され、表面半導体層52上にMOSTランジスタが形成されており、このMOSTランジスタのチャネル領域53が、それぞれバイアス回路54に接続されることにより、チャネル領域53に電圧が直接印加され、よって、チャネルの閾値電圧をコントロールすることができる。しかし、この半導体装置においては、上記と同様に、トランジスタごとにバイアス回路に接続されるため、より大きな面積を要するという問題がある。

【0012】

【課題を解決するための手段】本発明によれば、埋め込み絶縁膜及び第1導電型の表面半導体層が積層されてなるSOI基板と、前記表面半導体層に形成された第2導電型ソース/ドレイン領域と、該ソース/ドレイン領域間の第1導電型チャネル領域上にゲート絶縁膜を介して形成されたゲート電極とからなり、前記ソース/ドレイン領域が、前記表面半導体層の厚さよりも薄く形成されており、前記チャネル領域が、前記埋め込み絶縁膜近傍においてその表面領域よりも第1導電型不純物濃度が高く設定された第1導電型高濃度不純物拡散層を有しているSOI構造の半導体装置が提供される。

【0013】また、本発明によれば、(i)基板上に、埋め込み絶縁膜及び第1導電型の表面半導体層を形成し、さらに、該表面半導体層上にゲート絶縁膜及びゲート電極を形成し、(ii)該ゲート電極をマスクとして用いて第2導電型不純物イオンを注入することにより第2導電型ソース/ドレイン領域を形成し、(iii)続いて該ゲート電極をマスクとして用いて第2導電型不純物イオンをより深く注入することにより、第2導電型ソース/ドレイン領域下の第1導電型の表面半導体層の第1導電型不純物濃度を低減させて、第2導電型ソース/ドレイン領域間の第1導電型チャネル領域であって、埋め込み絶縁膜近傍においてその表面領域よりも第1導電型不純物濃度が高い第1導電型高濃度不純物拡散層を形成することを特徴とする上記SOI構造の半導体装置の製造方法が提供される。

【0014】

【発明の実施の形態】本発明のSOI構造の半導体装置は、主として、埋め込み絶縁膜及び第1導電型の表面半導体層が積層されてなるSOI基板と、表面半導体層の厚さよりも薄く形成された第2導電型ソース/ドレイン領域と、これらソース/ドレイン領域間に配置され、埋め込み絶縁膜近傍においてその表面領域よりも不純物濃度が高く設定された第1導電型高濃度不純物拡散層を有する第1導電型チャネル領域と、この第1導電型チャネル領域上に形成されたゲート電極とからなる。

【0015】本発明におけるSOI基板は、通常支持基板上に、埋め込み絶縁膜、さらにその上に表面半導体層が形成されてなることで、低消費電力、高速動作の実現に有効な基板で、貼り合わせSOI (BESOI)、SIMOX (Separation by Implantation of Oxygen) 型基板等として用いられるものが挙げられる。支持基板としては、例えば、シリコン、ゲルマニウム等の半導体基板、GaAs、InGaAs等の化合物半導体、サファイア、石英、ガラス、プラスチック等の絶縁性基板等、種々の基板を使用することができる。なお、この支持基板として、上記支持基板上にトランジスタやキャパシタ等の素子又は回路等が形成された基板を使用してもよい。

【0016】埋め込み絶縁膜としては、例えばSiO<sub>2</sub>膜、SiN膜等が挙げられる。この際の膜厚は、得ようとする半導体装置の特性、得られた半導体装置を使用する際の印加電圧の高さ等を考慮して適宜調整することができるが、例えば、50nm～500nm程度が挙げられる。

【0017】表面半導体層は、トランジスタを形成するための活性層として機能する半導体薄膜であり、シリコン、ゲルマニウム等の半導体、GaAs、InGaAs等の化合物半導体等による薄膜で形成することができる。なかでもシリコン薄膜が好ましい。表面半導体層の膜厚は、得られる半導体装置の特性等を考慮して、例えば、後述するトランジスタのソース/ドレイン領域の接合深さ、表面半導体層表面のチャネル領域の深さ、不純物濃度、埋め込み絶縁膜の近傍に配置する高濃度不純物拡散層の深さ、不純物濃度等の種々のパラメータによって、適宜調整することができ、例えば、150nm～200nm程度が挙げられる。

【0018】表面半導体層は、上記したように、主として①表面半導体層の厚さよりも薄く形成された第2導電型ソース/ドレイン領域と、②これらソース/ドレイン領域間に配置する表面チャネルと、この表面チャネル直下であって、埋め込み絶縁膜近傍において表面チャネルよりも不純物濃度が高く設定された第1導電型の高濃度不純物拡散層とからなるチャネル領域と、③第1導電型高濃度不純物拡散層に隣接するとともに第2導電型ソース/ドレイン領域直下に配置し、表面チャネルと同程度かそれよりも低い第1導電型不純物濃度を有する低濃度

不純物拡散層とからなる。

【0019】①第2導電型ソース/ドレイン領域は、表面半導体層の導電型と逆導電型の不純物を、例えば $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ 程度の濃度で含有して形成することができる。なお、このソース/ドレイン領域は、チャネル側のソース/ドレイン領域端にLDD構造のような低濃度の領域、あるいは同じ濃度の領域や高濃度の領域で、ソース/ドレイン領域の接合深さよりやや浅い領域を有していてもよい。また、ソース/ドレイン領域の深さは、得られる半導体装置の特性等により適宜調整することができるが、表面半導体層の膜厚（例えば、200nm）の50%前後、具体的には80nm～150nm、特に100nm～150nm程度とすることができる。

【0020】②チャネル領域は、深さ方向に図2に示すように、表面チャネルと高濃度不純物拡散層とが急峻に変化するドーピングプロファイルを有する。つまり、表面チャネルの第1導電型不純物濃度をNa、埋め込み絶縁膜付近の高濃度不純物拡散層の第1導電型不純物濃度をNbとすると、 $Nb \gg Na$ となるように不純物濃度が設定される。これらの不純物濃度は、表面半導体層の膜厚、表面チャネルの厚み、高濃度不純物拡散層の厚み等により適宜調整することができるが、例えば、表面チャネルの第2導電型不純物濃度Naは $1 \times 10^{15} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ 程度、埋め込み絶縁膜付近の高濃度不純物拡散層の第1導電型不純物濃度Nbは $1 \times 10^{18} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ 程度が挙げられる。また、表面チャネルの厚み、高濃度不純物拡散層の厚みは、表面半導体層の膜厚等により適宜調整することができるが、例えば、それぞれ30nm～150nm程度、50nm～150nm程度が挙げられる。なお、表面チャネルは、

【0021】

【数2】

$$Tb < \sqrt{\frac{4 \cdot \epsilon \cdot \phi_F}{q \cdot Na}}$$

【0022】（式中、Tbは表面チャネルの厚み、 $\epsilon$ は表面半導体を構成する半導体の誘電率、 $\phi_F$ はフェルミポテンシャル、qは素電荷量である）の条件を満たす膜厚、不純物濃度に設定することにより、本発明の半導体装置における表面チャネル層4を完全空乏化するように動作させることができるため好ましい。

【0023】また、高濃度不純物拡散層は、

【0024】

【数3】

$$Xd < \sqrt{\frac{4 \cdot \epsilon \cdot V_{bi}}{q \cdot Nb}}$$

【0025】（式中、Xdは高濃度不純物拡散層の厚



み、 $V_{bi}$ はビルトイン電圧である)の条件を満たす膜厚、不純物濃度に設定することが好ましい。なお、高濃度不純物拡散層は、表面半導体層に形成されるウェルとして形成されてもよい。

$$V_{th} = V_{fb} + 2 \cdot \phi_F \cdot \left( 1 + \frac{C_b}{C_{ox}} \right) + \frac{q \cdot N_a \cdot T_b}{2 \cdot C_{ox}} - \left( \frac{C_b}{C_{ox}} \right) \cdot V_b$$

【0028】(式中、 $V_{fb}$ はフラットバンド電圧、 $C_b$ は $\epsilon/T_b$ で表され、 $C_{ox}$ はゲート絶縁膜の容量、 $V_b$ は基板への印加電圧である)で表される。この式によれば、閾値電圧 $V_{th}$ と基板への印加電圧 $V_b$ とは直線的な関係を示すことから、基板への印加電圧 $V_b$ によって閾値電圧 $V_{th}$ を制御することが容易であることがわかる。

【0029】③ソース/ドレイン領域直下に配置する第1導電型低濃度不純物拡散層は、ソース/ドレイン領域の接合容量を低減することができるように設定されることが好ましく、例えば、表面チャネルと同程度か、好ましくはそれよりも低い第1導電型不純物濃度、具体的には、 $1 \times 10^{15} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ 程度、埋め込み絶縁膜付近の高濃度不純物拡散層の第1導電型不純物濃度で、 $50 \text{ nm} \sim 150 \text{ nm}$ 程度の厚みで形成することができる。また、低濃度不純物拡散層は、完全空乏化、つまり、ソース/ドレイン領域の下方、すなわちソース/ドレイン領域の接合面から表面半導体層と埋め込み絶縁膜との界面まで、全て空乏化されている状態を意味する。

【0030】このように低濃度不純物拡散層を完全空乏化の状態に制御することにより、ソース/ドレイン領域下に広がる空乏層による容量が埋め込み絶縁膜の容量と直列接続するので、ソース/ドレイン接合容量、つまりトランジスタの負荷容量を低減することができ、ひいては装置自体の低消費電力化・高速化を実現できる。

【0031】また、本発明のSOI構造の半導体装置は、表面半導体層に形成されたソース/ドレイン領域と、チャネル領域上に形成されたゲート絶縁膜及びゲート電極とからなるトランジスタを有する。ゲート絶縁膜は、通常ゲート絶縁膜として機能する材料及び膜厚で形成することができる。ゲート電極は、ポリシリコン；W、Ta、Ti、Mo等の高融点金属のシリサイド；これらシリサイド(例えば $\text{MoSi}_2$ 、 $\text{WSi}_2$ )とポリシリコンとからなるポリサイド；その他の金属等により、膜厚 $150 \text{ nm} \sim 300 \text{ nm}$ 程度で形成することができる。なお、ゲート電極は、後述するソース/ドレイン領域形成のための不純物の横方向への拡散等を考慮して、絶縁膜によるサイドウォールスペーサを有していてもよい。

【0032】なお、上記の高濃度不純物拡散層がウェルとして形成される場合には、このウェル内にトランジスタが複数個形成され、各トランジスタがロコス酸化膜やトレンチ素子分離膜により分離されていることが好まし

【0026】さらに、この場合の本発明のSOI構造の半導体装置における閾値電圧 $V_{th}$ は

【0027】

【数4】

い。これらロコス酸化膜やトレンチ素子分離膜の膜厚は、表面半導体層の膜厚よりも薄く形成されていることが好ましい。これにより、ロコス酸化膜やトレンチ素子分離膜の直下に高濃度不純物拡散層が広がることとなり、この高濃度不純物拡散層により、隣接する半導体装置のチャネル領域同士を電氣的に接続することができる。なお、この場合のロコス酸化膜やトレンチ素子分離膜の直下に広がる高濃度不純物拡散層は、半導体装置のサイズ、動作電圧等により適宜調整することができるが、その膜厚と不純物濃度は、表面チャネル下の高濃度不純物拡散層への印可電圧、半導体装置、すなわちMOSFETの閾値電圧を制御するために重要である。例えば、表面半導体層の膜厚が $150 \text{ nm} \sim 200 \text{ nm}$ 程度の場合、素子分離膜厚は $50 \text{ nm} \sim 150 \text{ nm}$ 程度の膜厚とすることができ、高濃度不純物拡散層の不純物濃度は、表面チャネル下の高濃度不純物拡散層と同程度の不純物濃度とすることができる。また、互いに接続された複数のチャネル領域を1か所で電源に接続させることができ、これにより、チャネル領域の閾値電圧を制御することができ、電氣的特性を調整または変化させることができる。なお、チャネル領域の閾値電圧を制御する方法としては、例えば、トランジスタのアクティブ時(オン時)にはバイアス電圧を印可し、スタンバイ時(オフ時)にはフローティング状態とするか、オン時にはフローティング状態にし、オフ時にはバイアス電圧を印可する方法が挙げられる。これにより、オン時には閾値電圧の絶対値を減少させて駆動能力を向上させることができ、一方オフ時においてはリーク電流又は消費電流を減少させることができる。

【0033】本発明のSOI構造の半導体装置は、工程(i)において、まず基板上に、埋め込み絶縁膜及び第1導電型の表面半導体層を形成する。基板上に埋め込み絶縁膜を形成する方法は、公知の方法、例えばシランガスと酸素ガス等を使用するCVD法等により形成することができる。第1導電型の表面半導体層は、当該分野で公知の半導体層の形成方法にしたがって、所望の膜厚で形成することができる。

【0034】また、表面半導体層を第1導電型とする方法は、特に限定されるものではなく、第1導電型不純物をドーピングしながら表面半導体層を形成する方法でもよいし、表面半導体層を形成した後、第1導電型不純物を表面半導体層に注入すること等によってドーピングする方法でもよい。この際の第1導電型不純物は、P型の

場合はボロン、 $\text{BF}_2$ 、アルミニウム、ガリウム、インジウム等が挙げられるが、拡散の正確な制御を行うことができる低拡散係数を有するガリウム、インジウム等が好ましい。一方、N型の場合は、リン又は砒素等が挙げられる。なお、表面半導体層に第1導電型不純物をドーピングする場合には、表面半導体層全体にわたって均一な濃度でドーピングしてもよいし、表面半導体層の表面の不純物濃度を低めにドーピングしてもよいし、表面半導体層全体にわたって均一な濃度でドーピングした後に、第2導電型の不純物をドーピングすることにより、第1導電型の不純物濃度を低減させてもよい。この際の第1導電型の不純物濃度は、表面半導体層全体にわたって均一な濃度でドーピングする場合には、 $1 \times 10^{18} \sim 1 \times 10^{20} \text{ atoms/cm}^3$  程度が好ましい。一方、表面半導体の表面の不純物濃度を低めにドーピングする場合には、表面の不純物濃度が  $1 \times 10^{15} \sim 1 \times 10^{18} \text{ atoms/cm}^3$  程度とすることが好ましい。

【0035】次に、表面半導体層上にゲート絶縁膜及びゲート電極を形成する。ゲート絶縁膜及びゲート電極の形成は、通常のMOSトランジスタを形成する方法にしたがって形成することができる。

【0036】工程(ii)において、ゲート電極をマスクとして用いて第2導電型不純物イオンを注入することにより第2導電型ソース/ドレイン領域を形成する。この際の第2導電型不純物は、N型又はP型のいずれの導電型でもよく、上記の不純物と同様のものを用いることができる。ソース/ドレイン領域の深さは、表面半導体層の膜厚等により調整することができるが、例えば、表面半導体層が  $150 \text{ nm} \sim 200 \text{ nm}$  程度の場合には、 $100 \text{ nm} \sim 150 \text{ nm}$  程度の深さであることが好ましい。例えば、リンを用いる場合には、 $10 \sim 25 \text{ keV}$  程度の加速エネルギー、 $1 \times 10^{15} \sim 4 \times 10^{15} \text{ atoms/cm}^2$  程度のドーズでイオン注入することにより、最終的に不純物濃度を、 $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$  程度とする方法が挙げられる。また、砒素を用いる場合には、 $20 \sim 50 \text{ keV}$  程度の加速エネルギー、 $1 \times 10^{15} \sim 4 \times 10^{15} \text{ atoms/cm}^2$  程度のドーズでイオン注入する方法が挙げられる。なお、ソース/ドレイン領域はLDD領域やDDD領域を有する構造で形成してもよい。

【0037】工程(iii)において、ゲート電極をマスクとして用いて第2導電型不純物イオンをより深く注入する。これにより、第2導電型ソース/ドレイン領域下の第1導電型の表面半導体層の第1導電型不純物濃度を低減させることができ、結果的に、第2導電型ソース/ドレイン領域間の第1導電型チャネル領域であって、埋め込み絶縁膜近傍においてその表面領域よりも第1導電型不純物濃度が高い第1導電型高濃度不純物拡散層を形成することができる。この際の第2導電型不純物のイオン注入は、例えば、表面半導体層が  $150 \text{ nm} \sim 200 \text{ nm}$

m程度、ゲート電極が  $200 \text{ nm}$  程度の膜厚のポリシリコンにより形成されている場合には、リンを用いて  $150 \sim 170 \text{ keV}$  の加速エネルギー、 $1 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms/cm}^2$  程度のドーズで行うことにより、最終的に第1導電型の不純物濃度を  $1 \times 10^{15} \sim 1 \times 10^{17} \text{ atoms/cm}^3$  程度とする方法が挙げられる。また、砒素を用いる場合には、 $320 \sim 380 \text{ keV}$  の加速エネルギー、 $1 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms/cm}^2$  程度のドーズでイオン注入する方法が挙げられる。

【0038】なお、工程(i)におけるゲート絶縁膜及びゲート電極の形成前に、表面半導体層の表面の第1導電型不純物濃度が、埋め込み絶縁膜近傍の第1導電型不純物濃度よりも低くされていない場合には、工程(iii)における第2導電型不純物のイオン注入は、ゲート電極が存在する領域においてはゲート電極及びゲート絶縁膜を貫通し、表面半導体層の表面にイオンが到達する加速エネルギー、イオン種を選択するとともに、ゲート電極及びゲート絶縁膜の膜厚をも調整することが好ましい。一方、ゲート電極が存在しない領域では、ソース/ドレイン領域を貫通し、ソース/ドレイン領域と埋め込み絶縁膜との間の表面半導体層にまで到達し、ソース/ドレイン領域下の表面半導体層の第1導電型不純物濃度を低減させることができる。以下に、本発明のSOI構造の半導体装置の実施の形態を、図面に基づいて説明する。

#### 【0039】実施の形態1

SOI構造のNMOSFETを図1に示す。図1においては、シリコン基板1上に、埋め込み絶縁膜2及び表面シリコン層3が積層されて、SOI構造の基板が用いられている。

【0040】SOI構造の基板における表面シリコン層3の表面には、表面シリコン層3の膜厚よりも薄いN型のソース/ドレイン領域6、7が形成されている。表面シリコン層3の表面であって、ソース/ドレイン領域6、7間には、P型の表面チャネル4が配置している。また、ソース/ドレイン領域6、7直下の表面シリコン層3には、表面チャネル4よりも不純物濃度が低く設定されたP型の低濃度不純物拡散層8、9が形成されている。さらに、P型の表面チャネル4の直下であって、低濃度不純物拡散層8、9間には、図2の不純物濃度のプロファイルに示したように、表面チャネル4よりも不純物濃度が高く設定されたP型の高濃度不純物拡散層5が形成されており、この高濃度不純物拡散層5が外部電圧10に接続されている。また、表面チャネル4上には、ゲート絶縁膜24を介してゲート電極11が形成されている。

【0041】なお、上記においては、1つのNMOSFETについて説明したが、図3に示したように、CMOSFETであってもよい。図3のCMOSFETは、表面シリコン層3に、表面シリコン層3の膜厚以上の膜厚

を有し、埋め込み絶縁膜2にまで至る分離領域13が形成され、NMOS領域とPMOS領域とが分離されている。この分離領域により、NMOSとPMOSとの相互干渉（例えば、ラッチアップ等）を避けることができる。

【0042】また、これらNMOS領域とPMOS領域とに、それぞれ表面シリコン層3の膜厚より薄い膜厚の素子分離領域12が形成され、これらの素子分離領域12によって分離された複数のNMOSFET及びPMOSFETがそれぞれ形成されている。

【0043】複数のMOSFETのP型及びN型の高濃度不純物拡散層5、15は、それぞれ素子分離領域12の下に配置するP型又はN型の高濃度不純物拡散層5a、15aによって共通接続されており、それぞれ1箇所外部電圧10、20に接続されている。

【0044】PMOSFETは、上記したNMOSFETと導電型が異なる以外は実質的に同様の構成、つまり、P型のソース／ドレイン領域16、17、N型のチャネル領域14、N型の低濃度不純物拡散層18、19、N型の高濃度不純物拡散層15、ゲート絶縁膜及びゲート電極21による構成を有しており、NMOSFETと同様に、外部電圧20に接続されている。

【0045】このような構成を有するMOSFETは、以下のような利点を有する。

(a) ソース／ドレイン領域6、7、16、17の接合容量を、低濃度不純物散層8、9、18、19の完全空乏化により低減できる。

(b) 表面シリコン層3は、完全空乏化SOI構造の表面シリコン層よりも膜厚でよいから、プロセスマージンを広くとることができ、製造が容易となる。

(c) サブスレショドスウィングは完全空乏化型のSOIより大きいから、外部電圧10、20による基板印加電圧を制御することにより、OFFリーク電流が低減するように閾値電圧を調整することができる。

(d) 外部電圧10、20との接続を、高濃度不純物拡散層5、15によって行うことができ、この高濃度不純物拡散層5、15は、隣接する複数のトランジスタ間で共通ウェル領域として形成することができるため、基板電圧を与えるために外部エリアをとる必要がなく、占有面積を縮小できる。また、トランジスタの設計配置はバルクCMOSと同等にすることができる。

(e) 表面チャネル4、14の直下の高濃度不純物拡散層5、15は抵抗が非常に低いため、RC遅延や、例えば、ゲート電圧が印可された際の表面チャネル4、14の電位の過渡的な現象を除去できる。

【0046】以下に、上記のSOI構造のMOSFETの特性について説明する。まず、上記のSOI構造のMOSFETは、必ずしも完全空乏化型ではないから、Sファクタを減少させることによるOFF電流の低減はできないが、表面シリコン層3における高濃度不純物拡散

層5により、MOSFETのON/OFF動作時における閾値電圧を制御することができる。

【0047】つまり、図4に示したように、上記SOI構造のMOSFETの $I_d-V_g$ 特性によれば、ゲート電極の $W/L=2\mu m/0.35\mu m$ 、 $V_{ds}=0.6V$ の場合、基板への印加電圧 $V_b$ を0Vにすると低い閾値電圧を得ることができ、基板コンタクトをオープンとすることにより、高い閾値電圧を得ることができる。よって、例えば、通常動作の間は、基板への印加電圧を調整することにより、MOSFETの閾値電圧を0.1V程度以下に低下させ、高い駆動能力を発揮させることができ、一方、OFF状態の間は、基板への印加電圧を調整することにより、MOSFETの閾値電圧を0.6V程度以上に増加させ、OFFリーク電流を減少させることができる。

【0048】ウェル抵抗 $R_w$ は、図3で示したように、ゲート下の高濃度領域5と素子分離膜下の高濃度領域5aの濃度を適切に調整することにより決定することができる。したがって、そのウェル抵抗 $R_w$ は、以下の基板電流の効果とAC過渡現象とを考慮して決定する。一般に、ウェル内に形成されたMOSFETとウェルコンタクト $C_w$ とが、図5(a)に示したように、距離 $S$ 離れている場合、ウェル抵抗 $R_w$ は、図5(b)及び(c)に示したように、基板電流 $I_{sub}$ によって引き起こされるオーミック的な電圧降下によるソース接合での順方向バイアスになるのを避けるため、以下の式に示すように、十分に低くしなければならない。

【0049】

【数5】

$$V_b + R_w \cdot I_{sub} < V_{jon} \approx 0.6V$$

【0050】ウェル抵抗 $R_w$ は、レイアウトとウェルの抵抗率に依存する。図6は、ウェルのシート抵抗を $300\Omega/\text{sqr.}$ 、 $10^3\Omega/\text{sqr.}$ 、 $3 \times 10^3\Omega/\text{sqr.}$ 及び $10^4\Omega/\text{sqr.}$ と変化した場合のウェル抵抗 $R_w$ とMOSFET-ウェルコンタクト間距離 $S$ との関係を示す。なお、ここでのMOSFETは、低電圧動作( $V_{dd} \sim 1V$ 程度)では、基板電流 $I_{sub}$ が $10nA/\mu m$ 程度以下と非常に小さいから、ゲート幅 $W$ が $10\mu m$ のMOSFETでは、基板電流 $I_{sub}$ が $100nA$ 程度以下となり、ウェル抵抗 $R_w$ は $10^6\Omega$ 以下となる。よって、例えば、ウェルのシート抵抗が $2000\Omega/\text{sqr.}$ 程度以下の低電圧動作のデバイスにも十分に応用できる。さらに、ウェルコンタクトに関するACの過渡的な効果を得るために、低いウェル抵抗 $R_w$ と低いウェル容量 $C_w$ が必要とされる。この条件は

【0051】

【数6】

$$\tau_w = \frac{R_w \cdot C_w}{2} \ll \tau$$

【0052】(ここで、 $\tau$ は、信号の立ち上がり時間を

示す)で示される。例えば、 $t_r$ が50psec程度以下のような高速の信号に対しては、 $R_w \cdot C_w < 100\text{psec}$ となる。ウェル抵抗 $R_w$ が2000 $\Omega$ 程度以下、 $C_w <$

$$R_w \cdot C_w \approx \frac{\epsilon_{ox} \cdot \rho_w}{T_{box}} \cdot S^2 < 2 \cdot t_r$$

【0054】と表される。これらの関係は、ウェルの厚さとウェル抵抗とを見積もるガイドラインとしていられる。一般に高速な動作回路に対し、 $R_w \cdot C_w$ 時定数は、ウェルコンタクトのデザインにより厳しい条件を賦す。

【0055】以下に、図1に示したNMOSFETの製造方法を説明する。まず、図7(a)に示したように、シリコン基板1上に、膜厚50nm~500nm程度の $\text{SiO}_2$ からなる埋め込み絶縁膜2及び膜厚150nm~200nm程度の表面シリコン層3が積層されてなるSOI基板を用いる。なお、この表面シリコン層3には、LOCOS法又はトレンチ法等によって、表面シリコン層3よりも厚い膜厚を有する分離領域、各NMOSFETを分離するための素子分離領域が形成されている(図示せず)。

【0056】次いで、表面シリコン層3に、例えば、ボロンイオンを、30keV、 $2 \times 10^{14} \text{atoms/cm}^2$ のドーズでイオン注入し、次いで、900℃、60分間アニールすることによって、ボロンイオンが $10^{19} \text{atoms/cm}^3$ 以上の濃度となるP型の高濃度不純物拡散層5を形成する。この高濃度不純物拡散層5は、トランジスタが低い配線抵抗及び低いコンタクト抵抗を持つために必要である。

【0057】次に、図7(b)に示したように、表面シリコン層3表面に、膜厚10nm程度の酸化膜25を形成し、この酸化膜25を通して表面シリコン層3表面にAsイオン22を、20keV、 $1 \times 10^{14} \text{atoms/cm}^2$ のドーズで注入する。このAsイオン22は、高濃度不純物拡散層5の表面の不純物の一部をキャンセルして、結果的に $1 \times 10^{16} \sim 1 \times 10^{17} \text{atoms/cm}^3$ 程度の不純物濃度に設定されたp型の表面チャネル4を形成する。これにより、低電圧動作(ON状態)に対し閾値電圧が0.1Vとなるデバイスを得ることができる。

【0058】続いて、図7(c)に示したように、表面シリコン層3上にゲート絶縁膜24を形成する。このゲート絶縁膜24の膜厚は、サブハーフミクロンのチャネル長のデバイスでは4nm~8nm程度である。ゲート絶縁膜24上に膜厚200nm程度のポリシリコン膜を形成し、フォトリソグラフィ及びエッチング技術によりパターンニングして、ゲート電極11を形成する。次いで、ゲート電極11をマスクとして用いて、Asイオン23を表面シリコン層3に注入する。イオン注入は、320keVで、 $1 \times 10^{14} \text{atoms/cm}^2$ 程度のド

$< 5 \times 10^{-14} \text{F}$ の典型的な場合、

【0053】

【数7】

ーズで行うことにより、高濃度不純物拡散層5のうち、ソース/ドレイン領域6、7と埋め込み絶縁膜2との接合付近の不純物の一部をキャンセルして、結果的に $1 \times 10^{15} \sim 1 \times 10^{17} \text{atoms/cm}^3$ 程度の不純物濃度に設定されたp型の低濃度不純物拡散層8、9を形成する。また、リンを40keV、 $4 \times 10^{15} \text{atoms/cm}^2$ 程度のドーズでイオン注入することにより、高濃度不純物拡散層5のうち、表面シリコン層3の表面の不純物をキャンセルし、さらにその導電型を変換させて、結果的に $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ 程度の不純物濃度に設定されたN型のソース/ドレイン領域6、7を形成する。これにより、図1に示したように、ソース/ドレイン領域6、7の直にP型の低濃度不純物拡散層8、9を形成することができる。

【0059】なお、上記工程は、PMOSFETと同時に行うことができる。また、基板接続及びコンタクトの形成は、一般のバルクCMOSプロセスと同様に行い、メタル配線で接続することにより半導体装置を完成する。

#### 【0060】実施の形態2

この実施の形態のSOI構造のNMOSFETは、図8に示したように、N型のソース/ドレイン領域6、7直下の表面シリコン層3aに、表面チャネル4と同等の不純物濃度に設定されたP型の不純物拡散層8a、9aが形成されている以外は、実施の形態1のSOI構造のNMOSFETと同様である。

【0061】図8のSOI構造のNMOSFETの製造方法を説明する。まず、実施の形態1と同様のSOI基板を用い、表面シリコン層3にP型の高濃度不純物拡散層5を形成する。

【0062】その後、図9に示したように、表面シリコン層3の表面に、ゲート絶縁膜24、ゲート電極11を形成する。次いで、ゲート電極11をマスクとして用いて、ゲート電極11直下の表面シリコン層3の表面と埋め込み絶縁膜2との接合付近とに、同時にリンイオン25を注入する。この際のイオン注入は、150keVで、 $1 \times 10^{14} \text{atoms/cm}^2$ のドーズで行うことにより、高濃度不純物拡散層5のうち、表面チャネル4及び表面シリコン層3と埋め込み絶縁膜2との接合付近の不純物の一部をキャンセルして、結果的に $1 \times 10^{17} \text{atoms/cm}^3$ 程度の不純物濃度に設定されたp型の表面チャネル4及び不純物拡散層8a、9aを形成する。また、リンを40keV、 $4 \times 10^{15} \text{atoms/cm}^2$ のドーズでイオン注入することにより、高濃度不

純物拡散層5のうち、表面シリコン層3aの表面の不純物をキャンセルし、さらにその導電型を変換させて、結果的に $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ 程度の不純物濃度に設定されたN型のソース/ドレイン領域6、7を形成する。

【0063】これにより、実施の形態1の製造方法よりも製造工程を減らしながら、図1に示したSOI構造のMOSFETと同様に、ソース/ドレイン領域6、7の直下にP型の不純物拡散層8a、9aを形成することができるとともに、不純物拡散層8a、9aとはほぼ同程度の不純物濃度を有する表面チャネル4を形成することができる。

【0064】

【発明の効果】本発明によれば、埋め込み絶縁膜及び第1導電型の表面半導体層が積層されてなるSOI基板と、前記表面半導体層に形成された第2導電型ソース/ドレイン領域と、該ソース/ドレイン領域間の第1導電型チャネル領域上にゲート絶縁膜を介して形成されたゲート電極とからなり、前記ソース/ドレイン領域が、前記表面半導体層の厚さよりも薄く形成されており、前記チャネル領域が、前記埋め込み絶縁膜近傍においてその表面領域よりも第1導電型不純物濃度が高く設定された第1導電型高濃度不純物拡散層を有しているため、表面チャネルの直下の高濃度不純物拡散層は抵抗が非常に低いため、RC遅延や、例えば、ゲート電圧が印加された際の表面チャネル4、14の電位の過渡的な現象を除去できる。しかも、本発明によれば、表面半導体層を比較的厚膜で形成することができるためプロセスマージンを広くとることができ、製造が容易となる。

【0065】また、チャネル領域が電源に接続されてなる場合には、外部電圧によりチャネル領域の印加電圧を制御することができ、よって、オン時には半導体装置の駆動能力を向上させて低電圧動作を実現することができるとともに、オフ時にはオフリーク電流が低減するように閾値電圧を調整することができる。さらに、ソース/ドレイン領域と埋め込み絶縁膜との間の表面半導体層が完全に空乏化している場合には、ソース/ドレイン領域の接合容量を低減することが可能となる。

【0066】また、チャネル領域が、素子分離領域直下に形成された高濃度不純物拡散層を介して互いに隣接するチャネル領域と接続され、かつ1ヶ所で電源に接続されている場合には、基板電圧を与えてポテンシャルを制御したり、半導体装置の閾値を制御するため外部エリアをわざわざとる必要がなく、占有面積を縮小できる。また、トランジスタの設計配置はバルクCMOSと同等に

することができ、より高集積化を図ることが可能となる。

【図面の簡単な説明】

【図1】本発明のSOI構造の半導体装置の実施例を示す要部の概略断面図である。

【図2】図1の半導体装置のチャネル領域の深さ方向の不純物濃度のプロファイルを示す図である。

【図3】本発明のSOI構造の半導体装置がCMOSを構成する場合の実施例を示す要部の概略断面図である。

【図4】本発明のSOI構造の半導体装置の特性を説明するためのId-Vg曲線を示す図である。

【図5】本発明のSOI構造の半導体装置の特性を説明するためMOSFETの平面図(a)、断面図(b)及び回路図(c)である。

【図6】本発明のSOI構造の半導体装置の特性を説明するためのウェル抵抗とウェルコンタクト-MOSFET間距離との関係を示す図である。

【図7】本発明のSOI構造の半導体装置の製造工程を説明するための要部の概略断面製造工程図である。

【図8】本発明のSOI構造の半導体装置の別の実施例を示す要部の概略断面図である。

【図9】図8の半導体装置の製造工程を説明するための要部の概略断面図である。

【図10】従来のSOI構造の半導体装置を示す要部の概略断面図である。

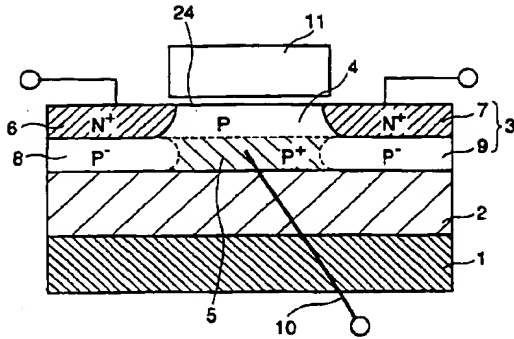
【図11】従来の別の半導体装置を示す要部の概略断面図である。

【図12】従来のさらに別のSOI構造の半導体装置を示す要部の概略断面図である。

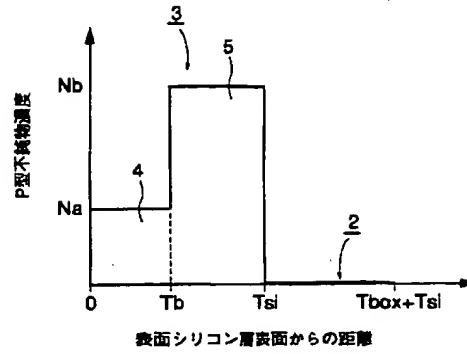
【符号の説明】

- 1 シリコン基板
- 2 埋め込み絶縁膜
- 3、3a 表面シリコン層(表面半導体層)
- 4、14 表面チャネル
- 5、15、5a、15a 高濃度不純物拡散層
- 6、7、16、17 ソース/ドレイン領域
- 8、9、18、19 低濃度不純物拡散層
- 8a、9a 不純物拡散層
- 10、20 外部電圧
- 11、21 ゲート電極
- 12 素子分離領域
- 13 分離領域
- 22、23 Asイオン
- 24 ゲート絶縁膜
- 25 酸化膜

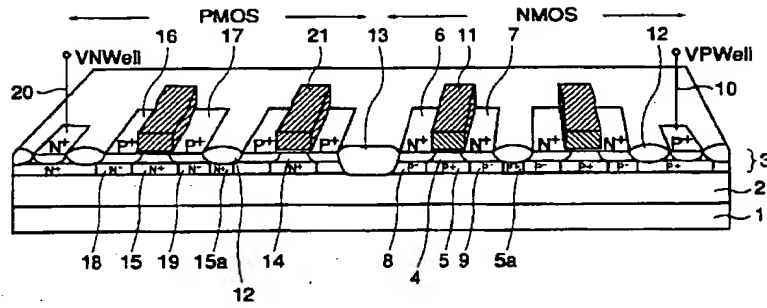
【図1】



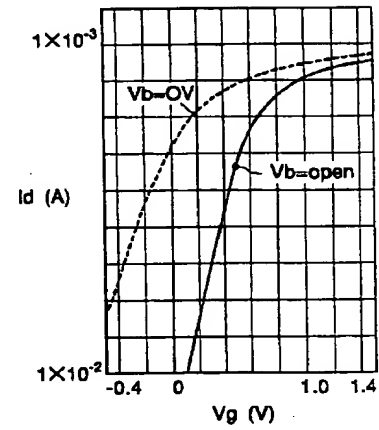
【図2】



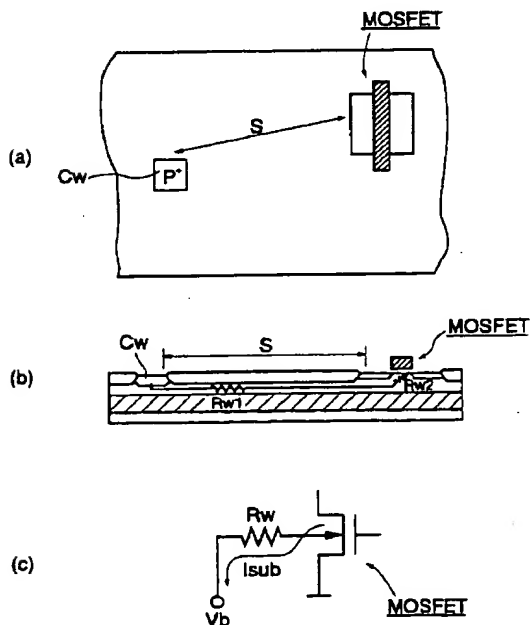
【図3】



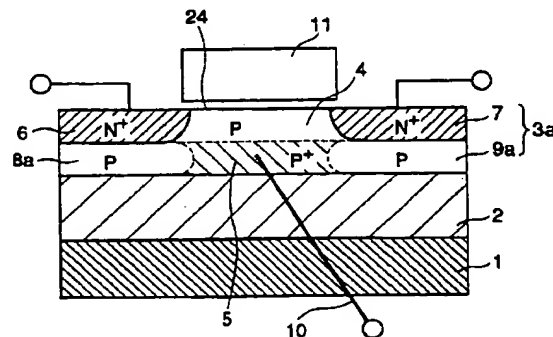
【図4】



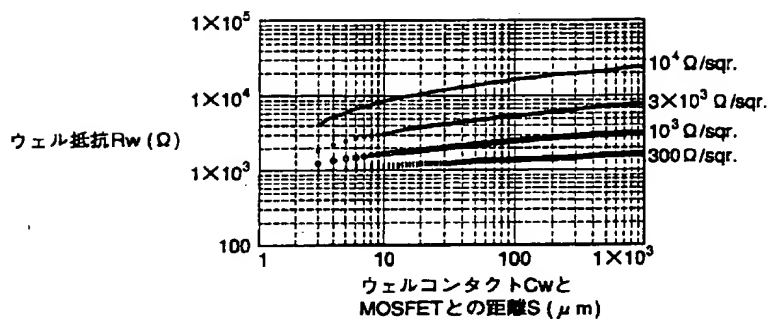
【図5】



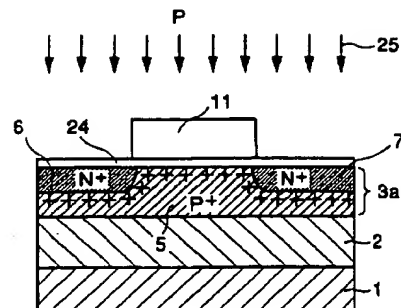
【図8】



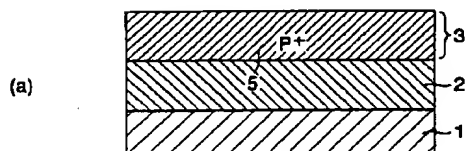
【図6】



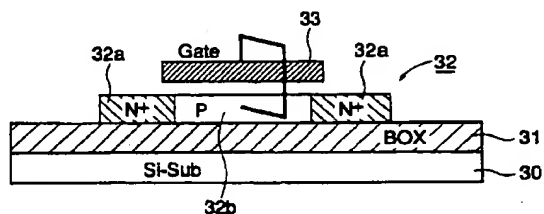
【図9】



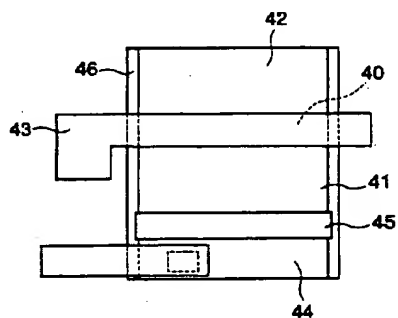
【図7】



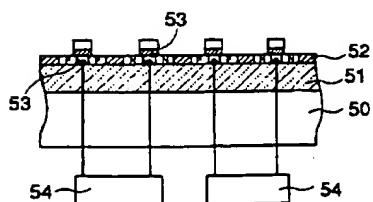
【図10】



【図11】



【図12】



フロントページの続き

Fターム(参考) 5F040 DA06 DA27 DB03 DC01 DC03  
EB12 EC07 EC12 EC13 EE05  
EF02 EK01 EK03 EK05 FA03  
FB02  
5F048 AC03 BA09 BA15 BB05 BB08  
BB09 BG01 BG07 BG12 BG15  
5F110 AA01 AA06 AA08 AA09 AA30  
BB04 CC02 DD01 DD03 DD04  
DD05 DD13 DD14 DD22 EE01  
EE04 EE05 EE09 EE31 GG02  
GG03 GG04 GG32 GG37 GG52  
GG58 HJ01 HJ04 HJ06 HJ13  
HM15 NN62 NN66 QQ11



FILED BY IDS

CPA. JP 11-340472

특1999-0076552

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup>	(11) 공개번호	특1999-0076552
H01L 21/336	(43) 공개일자	1999년10월15일
(21) 출원번호	10-1998-0053928	
(22) 출원일자	1998년12월09일	
(30) 우선권주장	98-081456/1998년03월27일 일본(JP)	
	98-162285 1998년06월10일 일본(JP)	
(71) 출원인	미쓰비시덴기 가부시기가이샤	다니구찌 이찌로오, 기타오카 다카시
	일본국 도쿄도 지요다구 마루노우치 2초메 2반 3고	
(72) 발명자	마에다 시게노부	
	일본 도쿄도 지요다구 마루노우치 2초메 2-30미쓰비시덴기 가부시기가이샤 내	
	아마구찌 야스오	
	일본 도쿄도 지요다구 마루노우치 2초메 2-30미쓰비시덴기 가부시기가이샤 내	
(74) 대리인	구영창, 장수길, 주성민	

심사청구 : 있음

(54) 반도체 장치의 설계 방법

요약

본 발명은 동작 속도가 영향을 받지 않는 SOI 구조의 트랜지스터를 갖는 반도체 장치를 설계하는 방법을 제공한다.

SOI 구조의 MOS 트랜지스터에서 게이트 용량 C(F), 보디 저항 R( $\Omega$ ) 및 클럭의 동작 주파수 f(Hz)로 한 경우,  $f \geq 500\text{MHz}$ 의 범위에서 단계 S3에서  $R \cdot C \cdot f < 1$ 를 만족한 MOS 트랜지스터의 최대 허용 게이트 폭  $W_{g, \max}$ 를 계산하고, 단계 S4에서 최대 허용 게이트 폭  $W_{g, \max}$ 를 만족한 MOS 트랜지스터를 포함한 반도체 장치의 레이아웃 패턴을 생성한다.

도표도

도4

평면도

도면의 간단한 설명

도 1은 본 발명의 제1 실시 형태의 설계 방법으로 설계된 SOI 구조의 MOS 트랜지스터의 구성을 나타낸 평면도.

도 2는 도 1의 A-A 단면을 나타낸 단면도.

도 3은 제1 실시 형태의 보디 콘택트 구성을 나타낸 평면도.

도 4는 제1 실시 형태의 반도체 장치의 설계 방법의 처리 순서를 나타낸 플로우차트.

도 5는 제1 실시 형태의 설계 방법을 실행하는 레이아웃 패턴 생성 장치를 나타낸 블록도.

도 6은 제1 실시 형태의 H 게이트 전극 구성을 나타낸 평면도.

도 7은 제2 실시 형태의 반도체 장치의 설계 방법의 처리 순서를 나타낸 플로우차트.

도 8은 제3 실시 형태의 구조(그 1)를 나타낸 단면도.

도 9는 제3 실시 형태의 구조(그 2)를 나타낸 단면도.

도 10은 불순물 농도와 비저항과의 관계를 나타낸 그래프.

도 11은 제4 실시 형태의 구조(그 1)를 나타낸 단면도.

도 12는 제4 실시 형태의 제조 방법을 나타낸 단면도.

도 13은 제5 실시 형태의 구조를 나타낸 단면도.

도 14는 제6 실시 형태의 구조를 나타낸 단면도.

- 도 15는 제6 실시 형태의 제조 방법을 나타낸 단면도.
- 도 16은 제7 실시 형태의 구조를 나타낸 단면도.
- 도 17은 제8 실시 형태의 구성을 나타낸 평면도.
- 도 18은 제9 실시 형태의 구성을 나타낸 평면도.
- 도 19는 제10 실시 형태의 구성을 나타낸 평면도.
- 도 20은 필드 분리 구조를 갖는 반도체 장치의 전체 구성을 나타낸 사시도.
- 도 21은 SOI 구조의 MOS 트랜지스터를 나타낸 단면도.
- 도 22는 종래의 SOI 구조의 MOS 트랜지스터의 문제점을 지적한 그래프.
- 도 23은 보디 전위 고정된 MOS 트랜지스터를 모식적으로 나타낸 설명도.
- 도 24는 DT MOS트랜지스터를 모식적으로 나타낸 설명도.

<도면의 주요 부분에 대한 부호의 설명>

- 4 : FS 절연층
- 5, 5A : FS 전극
- 6, 6A, 6B : 게이트 전극
- 11 : 드레인 영역
- 11A ~ 11C : 부분 드레인 영역
- 12 : 소오스 영역
- 12A ~ 12C : 부분 소오스 영역
- 13, 23 : 보디부
- 14, 14A ~ 14H : 보디 영역
- 15 : 측벽
- 16 : 보디 콘택트
- 26 : H 게이트 전극
- 100 : 레이아웃 패턴 생성 장치
- 101 : 기록 매체
- A1 : 보디 고정 트랜지스터 영역
- A2 : 보디 플로팅 트랜지스터 영역

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 SOI 기판 상에 형성된 MOS 트랜지스터를 갖는 반도체 장치에 관한 것이다.

도 20은 본 발명의 배경이 되는 필드 분리 구조를 갖는 종래의 반도체 장치 M90의 단면 구조를 나타낸 단면 사시도이다. 이 반도체 장치는 트랜지스터 소자 등이 제조하는 반도체 기판으로서 절연성 기판 상에 막형으로 형성된 반도체층 즉, SOI(semiconductor-on-insulator)층을 구비한 SOI 기판을 사용한 SOI형 반도체 장치로서 구성되고 있다.

도 20에 도시한 바와 같이, 반도체 장치 M90에서는 지지 기판(1)과 매립 산화막(2)으로 구성되는 절연성 기판 상에 실리콘 반도체층이 SOI층(3)으로서 형성되어 있다. 이 SOI층(3)은 다수의 NMOS 트랜지스터의 형성 영역 및 PMOS 트랜지스터의 형성 영역을 포함하고 있다. 그리고, 이들 소자 영역을 서로 전기적으로 분리하기 위한 평판상 필드 실드 전극(이후, 「FS 전극」이라고 약기 ; 5)이 SOI층(3)의 각 소자 영역의 경계에 형성되어 있다.

도 20에서 FS 전극(5)은 각 소자 영역에서 활성 영역을 규정하도록 SOI층(3) 상에 소정의 간격을 두고 평행하게 배치되어 있다. 그리고, FS 전극(5)은 필드 실드 절연층(4 ; 이후, 「FS 절연층」이라고 약기)에 의해서 덮여지며, 활성 영역 상으로부터 평행하는 2개의 FS 절연층(4)의 상부에 걸쳐도록 게이트 전극(6)이 배치되어 있다. 또, 게이트 전극(6)과 활성 영역과의 사이에는 게이트 산화막(10)이 형성되어 있다. FS 절연층은 산화물로 구성되며 이 FS 절연층(4)에 의해서 FS 전극(5)과 게이트 전극(6)과의 사이가 전기적으로 절연되어 있다.

SOI층(3) 내의 소오스 영역 및 드레인 영역(도 20에서는 도시하지 않음)은 도시하지 않은 절연층에 설치된 콘택트 홀(7)을 통하여 드레인 전극 및 소오스 전극(도 20에서는 도시하지 않음)과 전기적으로 접속되어 있으며, 게이트 전극(6)은 콘택트 홀(8)을 통하여 게이트 배선(도 20에서는 도시하지 않음)에 접속되어 있다.

에 있다.

또한, 컨택트 홀(9)을 통하여 보디 콘택트 전극(도 20에서는 도시하지 않음)이 S01층(3)에 접속되어 있다. 또한, 도 20에서 보디 콘택트 전극에 접속되는 컨택트 홀(9)이 FS 전극(5)을 관통하여 S01층(3)에 접속되는 구성을 나타냈지만, FS 전극(5)의 외측에 있는 S01층(3) 상에 컨택트 홀(9)을 설치하도록 하고 있는 구성도 일반적이다.

반도체 장치 M90에서 NMOS 구조에서는 0V, PMOS 구조에서는 전원 전압 Vcc가 FS 전극(5)에 인가됨으로써, 분리 영역의 S01층(3)이 차단 상태가 되며, 그 결과 소자 영역 간의 전기적인 분리가 실현된다.

또한, 도 20에서 보디 전위 고정용 컨택트 홀(9)을 형성하지 않고서 S01층(3)에서의 보디부를 플로우팅으로 하는 구조도 생각된다.

도 21은 보디부가 플로우팅 상태에 있는 S01 구조의 N형 MOS 트랜지스터의 단면 구조를 나타낸 단면도이다.

도 21에 도시한 바와 같이, 지지 기판(1) 상에 매립 산화막(2)이 형성되며 매립 산화막(2) 상에 S01층(3)이 형성된다. S01층(3) 내에 선택적으로 N형 드레인 영역(11) 및 소오스 영역(12)이 형성되며 드레인 영역(11), 소오스 영역(12) 간에 있는 보디 영역을 포함하는 S01층(3)의 P형 영역 부분이 보디부(13)로서 규정된다.

드레인 영역(11), 소오스 영역(12) 간의 보디부(13) 상에 게이트 산화막(10)을 통하여 게이트 전극(6)이 형성된다.

이러한 구성의 S01 구조의 MOS 트랜지스터에서 보디부(13)의 전위가 고정되지 않은 경우, 도 22와 같이 드레인 영역(11), 소오스 영역(12)을 흐르는 신호 등의 영향을 받아 보디 전위 BV가 변화하고, 보디 전위 BV의 변화에 따라 MOS 트랜지스터의 동작 속도 VC가 변화한다. 여기서, 도 22의 보디 전위와 동작 속도와의 관계는 시간=0을 기준으로 한 상대치이다.

그래서, 도 20에서 도시한 보디 전위 고정용 컨택트 홀(9) 등을 설치하여 보디부(13)를 전위 고정하는 방법이 생각된다. 도 23은 보디 전위를 고정한 MOS 트랜지스터 구조를 모식적으로 나타낸 설명도이다. 도 23에 도시한 바와 같이, 보디부(13)는 보디 단자 PB1에 의해서 전위 고정된다.

또한, 도 24에 도시한 바와 같이 게이트 전극(6)과 보디부(13)를 단락하고 보디 단자 PB2에 의해서 공통의 전위를 부여하도록 한 DT(Dynamic Threshold) MOS 구조로 하는 것도 생각된다.

#### 발명이 이루고자 하는 기술적 과제

종래의 S01 구조의 MOS 트랜지스터는 도 23 또는 도 24에 도시한 바와 같이, 보디부(13)를 전위 고정함으로써 동작 속도가 비교적 느린 경우에 동작 속도를 안정시킬 수 있었다.

그러나, 동작 주파수가 500MHz 이상의 클럭에 동기하여 고속 동작을 행하는 경우에는, 각 회로 간에서의 신호 교환의 타이밍에 대한 요구가 매우 엄격해지며, 도 23 및 도 24에서 도시한 구조의 MOS 트랜지스터에서도 보디부(13)가 플로우팅 상태의 경우와 마찬가지로 현상이 생기게 되며, 안정 동작이 불가능해지는 등의 동작 속도가 영향을 받게되는 문제점이 있었다.

본 발명은 상기 문제점을 해결하기 위해서 이루어진 것으로, 고속 동작 시에서도 동작 속도가 영향을 받지 않는 S01 구조의 트랜지스터를 갖는 반도체 장치 및 그 설계 방법을 얻는 것을 목적으로 한다.

본 발명에 따른 반도체 장치의 설계 방법은, 지지 기판, 매립 산화막 및 S01층으로 이루어진 S01 기판 상에 형성되며, 소정의 클럭에 기초하여 동작하는 MOS 트랜지스터를 갖는 반도체 장치를 설계하는 방법으로, 상기 MOS 트랜지스터는 상기 S01층 내에 선택적으로 형성되는 제1 도전형 제1 반도체 영역과, 상기 S01층 내에 선택적으로 상기 제1 반도체 영역과 독립하여 형성되는 제2 도전형 제2 반도체 영역과, 상기 제1 및 제2 반도체 영역 간의 상기 S01층의 영역인 보디 영역을 포함하는 제2 도전형 보디부와, 상기 보디 영역 상에 게이트 산화막을 개재해서 형성되는 게이트 전극과, 상기 보디부에 전기적으로 접속되며 고정 전위를 받는 적어도 1개의 보디 콘택트를 구비하고, (a) 상기 소정의 클럭의 동작 주파수를 부여하는 단계와, (b) 상기 소정의 클럭의 동작 주파수에 기초하여 상기 MOS 트랜지스터의 레이아웃 패턴을 결정하는 단계를 구비하고, 상기 단계 (b)는 C : 상기 MOS 트랜지스터의 게이트 용량(F) R : 상기 적어도 1개의 보디 콘택트로부터 상기 보디 영역에 이르는 고정 전위 전달 경로의 저항( $\Omega$ ) f : 상기 소정의 클럭의 동작 주파수(Hz)로 할 때,  $f \geq 500\text{MHz}$ 의 범위에서 조건식  $1 : R \cdot C \cdot f < 1$ 을 만족하도록 상기 MOS 트랜지스터의 레이아웃 패턴을 결정하고 있다.

본 발명에 따른 반도체 장치의 설계 방법은, 지지 기판, 매립 산화막 및 S01층으로 이루어진 S01 기판 상에 형성되는 MOS 트랜지스터를 갖는 반도체 장치를 설계하는 방법에 있어서, 상기 MOS 트랜지스터는 상기 S01층 내에 선택적으로 형성되는 제1 도전형의 제1 반도체 영역과, 상기 S01층 내에 선택적으로 상기 제1 반도체 영역과 독립하여 형성되는 제2 도전형의 제2 반도체 영역과, 상기 제1 및 제2 반도체 영역 간의 상기 S01층의 영역인 보디 영역을 포함하는 제2 도전형의 보디부와, 상기 보디 영역 상에 게이트 산화막을 개재해서 형성되는 게이트 전극을 구비하고, 상기 게이트 전극은 상기 보디부에 전기적으로 접속되며 고정 전위를 받는 적어도 1개의 보디 콘택트를 더욱 구비하고, (a) 상기 MOS 트랜지스터에 요구하는 신호 전파 지연 시간을 부여하는 단계와, (b) 상기 신호 전파 지연 시간에 기초하여 상기 MOS 트랜지스터의 레이아웃 패턴을 결정하는 단계를 구비하고, 상기 단계 (b)는 C : 상기 MOS 트랜지스터의 게이트 용량(F) R : 상기 적어도 1개의 보디 콘택트로부터 상기 보디 영역에 이르는 고정 전위 전달 경로의 저항( $\Omega$ ) f : 상기 MOS 트랜지스터에 요구하는 신호 전파 지연 시간(s)로 할 때,  $td \leq 50\text{ps}$ 의 범위에서 조건식  $2 : (R \cdot C) / td < 1$ 을 만족하도록 상기 MOS 트랜지스터의 레이아웃 패턴을 결정하고 있다.

본 발명에 따른 반도체 장치는 상기 반도체 장치의 설계 방법으로 설계되고 있다.

본 발명에 따른 반도체 장치는, 지지 기판, 매립 산화막 및 S01층으로 이루어진 S01 기판 상에 형성되며

소정의 클럭에 기초하여 동작하는 MOS 트랜지스터를 갖고 있으며, 상기 MOS 트랜지스터는 상기 S01층 내에 선택적으로 형성되는 제1 도전형의 제1 반도체 영역과, 상기 S01층 내에 선택적으로 상기 제1 반도체 영역과 독립하여 형성되는 제2 도전형의 제2 반도체 영역과, 상기 제1 및 제2 반도체 영역 간의 상기 S01층의 영역인 보디 영역을 포함하는 제2 도전형의 보디부와, 상기 보디 영역 상에 게이트 산화막을 개재해서 형성되는 게이트 전극과, 상기 보디부에 전기적으로 접속되며 고정 전위를 받는 적어도 1개의 보디 콘택트를 구비하고, C : 상기 MOS 트랜지스터의 게이트 용량(F) R : 상기 적어도 1개의 보디 콘택트로부터 상기 보디 영역에 이르는 고정 전위 전달 경로의 저항( $\Omega$ ) f : 상기 소정의 클럭의 동작 주파수(Hz)로 할 때,  $f \geq 500\text{MHz}$ 의 범위에서, 조건식 1 :  $R \cdot C \cdot f < 1$ 을 만족하고 있다.

본 발명에 따른 반도체 장치는, 지지 기판, 매립 산화막 및 S01층으로 이루어진 S01 기판 상에 형성되는 MOS 트랜지스터를 갖고 있으며 상기 MOS 트랜지스터는 상기 S01층 내에 선택적으로 형성되는 제1 도전형의 제1 반도체 영역과, 상기 S01층 내에 선택적으로 상기 제1 반도체 영역과 독립하여 형성되는 제2 도전형의 제2 반도체 영역과, 상기 제1 및 제2 반도체 영역 간의 상기 S01층의 영역인 보디 영역을 포함하는 제2 도전형의 보디부와, 상기 보디 영역 상에 게이트 산화막을 개재해서 형성되는 게이트 전극을 구비하고, 상기 게이트 전극은 상기 보디부에 전기적으로 접속되며 고정 전위를 받는 적어도 1개의 보디 콘택트를 더 구비하고, C : 상기 MOS 트랜지스터의 게이트 용량(F) R : 상기 적어도 1개의 보디 콘택트로부터 상기 보디 영역에 이르는 고정 전위 전달 경로의 저항( $\Omega$ )  $t_d$  : 상기 MOS 트랜지스터에 요구하는 신호 전파 지연 시간(s)으로 할 때,  $t_d \leq 50\text{ps}$ 의 범위에서 조건식 2 :  $(R \cdot C) / t_d < 1$ 을 만족하고 있다.

본 발명에 따른 반도체 장치에서, 상기 고정 전위 전달 경로의 저항 R은  $\Psi$  : 상기 보디 영역에서의 상기 고정 전위 전달 경로의 상기 게이트 전극의 게이트 폭 방향의 길이 L : 상기 보디 영역에서의 상기 고정 전위 전달 경로의 상기 게이트 전극의 게이트 길이 방향의 길이,  $t_{\text{on}}$  : 상기 S01층의 막 두께,  $\rho$  : 상기 보디 영역의 비저항으로 할 때,  $\{R = (\rho \cdot \Psi) / (L \cdot t_{\text{on}})\}$ 로 결정한다.

본 발명에 따른 반도체 장치에서, 상기 보디부는 상기 보디 영역으로부터 연장되며 상기 제1 및 제2 반도체 영역의 외부 주변부 중 적어도 일부에 인접하여 형성되는 영역을 포함하고, 상기 보디 영역을 제외하여 상기 제1 및 제2 반도체 영역의 외부 주변부 중 적어도 일부에 인접한 상기 보디부 상에 절연막을 통해 형성되는 분리 전극을 더 구비하고 상기 적어도 1개의 보디 콘택트는 상기 분리 전극을 끼워 상기 제1 및 제2 반도체 영역과 평면 상 대향하는 보디부의 영역 상에 형성되는 분리 전극 외 보디 콘택트를 포함하고 있다.

본 발명에 따른 반도체 장치에서, 상기 보디 영역은 상기 보디 콘택트가 형성 가능한 보디 콘택트 가능 영역을 갖고, 상기 게이트 전극은 상기 보디 콘택트 가능 영역이 노출하는 개구부를 가지며, 상기 적어도 1개의 보디 콘택트는 상기 보디 콘택트 가능 영역 상에 형성되는 게이트 전극 내 보디 콘택트를 더 포함하고 있다.

본 발명에 따른 반도체 장치에서, 상기 제1 반도체 영역은 복수의 제1 반도체 영역을 포함하고 상기 제2 반도체 영역은 복수의 제2 반도체 영역을 포함하고 상기 보디부는 상기 복수의 제1 및 제2 반도체 영역이 이산 분리되도록 상기 복수의 제1 및 제2 반도체 영역 간에 형성되는 영역을 포함하고 상기 분리 전극은 상기 복수의 제1 및 제2 반도체 영역을 이산 분리하는 상기 보디부 상에 더욱 형성되어 있다.

본 발명에 따른 반도체 장치에서, 상기 보디부는 상기 제1 및 제2 반도체 영역의 게이트 폭 방향에서 인접하고 상기 보디 영역으로부터 게이트 길이 방향으로 연장하여 형성되는 영역을 포함하고, 상기 게이트 전극은 상기 제1 및 제2 반도체 영역에 게이트 폭 방향에서 인접한 상기 보디부 상을 상기 보디 영역 상으로부터 상기 게이트 길이 방향으로 더욱 연장하여 형성되며 상기 적어도 1개의 보디 콘택트는 상기 게이트 전극을 끼워 상기 제1 및 제2 반도체 영역과 평면 상 대향하는 상기 보디부의 영역 상에 형성되는 게이트 전극 외 보디 콘택트를 포함하고 있다.

본 발명에 따른 반도체 장치에서, 상기 보디 영역은 상기 보디 콘택트가 형성 가능한 보디 콘택트 가능 영역을 갖고, 상기 게이트 전극은 보디 콘택트 가능 영역이 노출하는 개구부를 가지며, 상기 적어도 1개의 보디 콘택트는 상기 보디 콘택트 가능 영역 상에 더욱 형성되는 게이트 전극 내 보디 콘택트를 포함하고 있다.

본 발명에 따른 반도체 장치에서, 상기 적어도 1개의 보디 콘택트는 상기 게이트 전극의 게이트 폭 방향의 일단의 연장선 상에 위치하는 상기 보디부 상에 형성되는 제1 보디 콘택트와, 상기 게이트 전극의 게이트 폭 방향의 타단의 연장선 상에 있는 상기 보디부 상에 형성되는 제2 보디 콘택트를 포함하고 있다.

본 발명에 따른 반도체 장치에서, 상기 보디 영역은 적어도 일부가 상층부에 형성되는 제1 보디 영역과, 하층부에 형성되는 제2 보디 영역을 갖고, 상기 제2 보디 영역은 상기 제1 보디 영역의 제2 도전형의 불순물 농도보다도 높은 제2 도전형의 불순물 농도를 갖고 있다.

본 발명에 따른 반도체 장치에서, 상기 제1 반도체 영역은 제1 주영역과 제1 부분 반도체 영역을 갖고, 상기 제2 반도체 영역은 제2 주영역과 제2 부분 반도체 영역을 가지며, 상기 제1 및 제2 부분 반도체 영역은 각각 제1 및 제2 반도체 영역 간에서 대향하는 상층부의 일부 영역에 형성되며, 상기 제1 및 제2 부분 반도체 영역은 각각 제1 및 제2 주영역보다 제1 도전형의 불순물 농도가 낮게 설정되며, 상기 제2 보디 영역은 제1 및 제2 부분 보디 영역을 포함하고, 상기 제1 및 제2 부분 보디 영역은 상기 제1 및 제2 부분 반도체 영역의 일부 아래쪽으로 각각 상기 제1 및 제2 주영역과 계면을 접하여 형성되며, 상기 제1 및 제2 부분 보디 영역을 제외하는 상기 보디 영역이 상기 제1 보디 영역이 되며, 상기 제1 보디 영역은 상기 제1 및 제2 주영역과 계면을 접하는 일 없이 형성되며, 상기 제1 및 제2 부분 반도체 영역은 각각 상기 제1 및 제2 부분 보디 영역에서 상기 게이트 전극의 중심 방향으로 소정 거리 연장하여 형성되고 있다.

본 발명에 따른 반도체 장치에서, 상기 제1 반도체 영역은 제1 주영역과 제1 부분 반도체 영역을 갖고, 상기 제2 반도체 영역은 제2 주영역과 제2 부분 반도체 영역을 가지며, 상기 제1 및 제2 부분 반도체 영

역은 각각 제1 및 제2 반도체 영역 간에서 대향하는 일부분의 영역에 상기 SOI층을 관통하여 형성되며, 상기 제1 및 제2 부분 반도체 영역은 각각 제1 및 제2 주영역보다 제1 도전형의 불순물 농도가 낮게 설정되어 있다.

본 발명에 따른 반도체 장치에서, 상기 제1 반도체 영역은 제1 주영역과 제1 부분 반도체 영역을 갖고, 상기 제2 반도체 영역은 제2 주영역과 제2 부분 반도체 영역을 가지며, 상기 제1 및 제2 부분 반도체 영역은 각각 제1 및 제2 반도체 영역 간에서 대향하는 일부분의 영역으로 형성되며, 상기 제1 및 제2 반도체 영역은 각각 제1 및 제2 주영역보다 제1 도전형의 불순물 농도가 낮게 설정되며, 상기 제2 반도체 영역은 상기 보디 영역의 하층부의 중심 영역에 상기 제1 및 제2 주영역과 계면을 접하는 일 없이 형성되고 있다.

본 발명에 따른 반도체 장치에서, 보디 전위를 고정하지 않은 보디 플로우팅 MOS 트랜지스터를 더욱 구비하고, 상기 SOI층은 제1 및 두께의 제1 영역과 상기 제1 및 두께보다도 얇은 제2 및 두께의 제2 영역을 갖고, 상기 MOS 트랜지스터는 상기 제1 영역 상에 형성되며, 상기 보디 플로우팅 MOS 트랜지스터는 상기 제2 영역 상에 형성되어 있다.

본 발명에 따른 기록 매체는 상기 기재된 반도체 장치의 설계 방법을 실행시키기 위한 프로그램이 기록되어 있다.

### 본 발명의 구성 및 작용

#### <제1 실시 형태>

도 1은 본 발명의 제1 실시 형태인 반도체 장치의 설계 방법으로 설계된 FS 분리에 의한 SOI 구조의 MOS 트랜지스터의 평면 구성을 나타낸 평면도이다. 또한, 도 2는 도 1의 A-A 단면을 나타낸 단면도이다. 이 둘의 도면에 나타난 바와 같이, N형 드레인 영역(11), 소오스 영역(12)의 주변 인접 영역에 있는 보디부(13) 상에 FS 절연층(4)을 통해 FS 전극(5)이 형성된다. 여기서, 보디부(13)는 드레인 영역(11), 소오스 영역(12) 간의 보디 영역(14) 및 보디 영역(14)으로부터 연장되어 형성되는 P형 영역을 의미한다.

보디 영역(14) 상 및 FS 전극(5)의 일부 상에 게이트 전극(6)이 형성된다. 게이트 전극(6)은 보디 영역(14) 상에서는 게이트 산화막(10)을 통해 형성되며, FS 전극(5)의 일부 상에서는 FS 절연층(4)을 통해 형성된다. 또한, 도 1 및 도 2에 도시하지 않았지만, 보디 콘택트는 FS 전극(5)에 대해 평면 상의 외주에 위치하는 보디부(13) 상에 형성된다.

이러한 구조에 의해서, 드레인 영역(11), 소오스 영역(12) 및 게이트 길이 L, 게이트 폭 W의 게이트 전극(6)으로 이루어진 MOS 트랜지스터가 형성된다.

이러한 구조의 FS 분리에 의한 MOS 트랜지스터는 FS 전극(5)에 의한 분리 기능이 작동하고 있는 기간 동안은 보디 영역(14)을 제외한 드레인 영역(11), 소오스 영역(12)의 외부 주변부의 보디부(13)로부터 보디 전위가 드레인 영역(11), 소오스 영역(12)에 직접 전달되는 일은 없다.

이러한 구조의 MOS 트랜지스터에서, 게이트 산화막 두께  $t_{ox}$ , 게이트 길이 L 및 게이트 폭 W의 게이트 용량 C는 하기에 나타낸 수학적 식 1로 결정한다.

$$C = K_{ox} \epsilon_0 \frac{L \cdot W}{t_{ox}}$$

한편, 보디 콘택트(16)로부터 보디 영역(14)에 이르는 고정 전위 전달 경로의 저항에 상당하는 보디부(13)의 보디 저항 R은 실질적으로는 게이트 전극(6) 하의 A-A 방향에서의 보디 영역(14)의 저항에 의해서 결정한다. 왜냐하면, 보디부(13)의 보디 영역(14) 이외의 영역은 게이트 길이 L에 비해서 충분히 큰 폭의 고정 전위 전달 경로로 되어 있기 때문에, 그 저항은 보디 영역(14)의 저항에 비해서 무시할 수 있는 레벨이기 때문이다.

따라서,  $\epsilon_0$  : 진공의 유전율,  $K_{ox}$  : 게이트 산화막(10)의 비유전율,  $\rho$  : 보디 영역(14)의 비저항,  $t_{ox}$  : SOI층(3)의 막 두께  $t_{soi}$ 로 하면, 하기에 도시한 수학적 식 2에서 보디 저항 R이 결정된다.

$$R = \rho \cdot \frac{W}{L \cdot t_{soi}}$$

단, 정확히 말하면 수학적 식 2에서의 게이트 길이 L은 보디 영역(14)에서의 고정 전위 전달 경로의 게이트 전극(6)의 게이트 길이 방향의 길이, 수학적 식 2에서의 게이트 폭 W는 보디 영역(14)에서의 고정 전위 전달 경로의 게이트 전극(6)의 게이트 폭 방향의 길이가 된다. 여기서, 보디 영역(14)에서의 고정 전위 전달 경로의 게이트 폭 방향의 길이는 게이트 전극(6)의 게이트 폭 W와 거의 같고, 게이트 길이 방향의 길이는 게이트 전극(6)의 게이트 길이 L과 거의 같은 경우를 상정하여 수학적 식 2를 결정하고 있다.

수학적 식 1, 수학적 식 2에서 결정하는 게이트 용량 C(F), 보디 저항 R( $\Omega$ )을 갖는 MOS 트랜지스터가 동작하는 클럭의 동작 주파수 f(Hz)에 기초한 시뮬레이션 결과에 의해서 클럭의 동작 주파수 f가 500MHz 이상의 고속 동작이 요구되는 경우라도 하기의 수학적 식 3에 나타낸 조건을 만족하면, MOS 트랜지스터가 안정적으로 동작하는 것을 발견하였다.

$$R \cdot C \cdot f < 1$$

수학식 3에 수학식 1, 수학식 2를 적용함으로써 수학식 3은 하기의 수학식 4로 변형할 수 있다.

$$R \cdot C \cdot f = \rho \cdot K_0 \cdot \epsilon_0 \cdot \frac{W^2}{t_{ox} \cdot t_{soi}} \cdot f < 1$$

따라서, 클럭의 동작 주파수  $f$ 가 결정될 때 수학식 4를 만족하는 게이트 폭  $W$ , 게이트 산화막 두께  $t_{ox}$  및 SOI층 막 두께  $t_{soi}$ 를 갖는 SOI 구조의 MOS 트랜지스터로 구성되는 회로는 고속 동작 시에서도 안정 동작이 가능해진다.

예를 들면,  $\rho=0.08(\Omega \cdot \text{cm})$ ,  $K_0=3.9$ ,  $\epsilon_0=8.86 \times 10^{-14}(\text{F/cm})$ ,  $f=10(\text{GHz})$ 일 때, 하기의 수학식 5에 나타난 조건을 게이트 폭  $W$ , 게이트 산화막 두께  $t_{ox}$  및 SOI층 막 두께  $t_{soi}$ 를 만족하면 좋다.

$$\frac{W^2}{t_{ox} \cdot t_{soi}} < \frac{1}{\rho \cdot K_0 \cdot \epsilon_0 \cdot f} = 3.6 \times 10^3$$

이 때, 게이트 산화막 두께  $t_{ox}=0.007(\mu\text{m})$ , SOI층 막 두께  $t_{soi}=0.1(\mu\text{m})$ 로 하면  $\{W < 2.52\}$  즉,  $\{W < 1.59(\mu\text{m})\}$ 가 되는 제약 조건 1을 만족하면 좋다.

단지, 도 3에 도시한 바와 같이 게이트 폭  $W$  방향에서의 게이트 전극(6) 양측의 보디부(13) 상에 각각 보디 컨택트(16A, 16B)를 설치한 경우, 보디 컨택트(16A)측과 보디 컨택트(16B)측에서 보디 영역(14)에서의 고정 전위 전달 경로가 2분할되기 때문에, 게이트 폭  $W/2$ 의 2개의 보디 영역 각각에서 수학식 1 ~ 수학식 4를 적용할 수 있다. 따라서,  $\{W/2 < 1.59(\mu\text{m})\}$ 가 되는 제약 조건 2를 만족하면 좋고, 최대 허용의 게이트 폭  $W$ 를 제약 조건 1의 경우의 2배로 할 수 있다.

도 4는 본 발명의 제1 실시 형태의 반도체 장치의 설계 방법의 처리 순서를 나타낸 플로우차트이다.

도 4를 참조하여, 우선 단계 S1에서 클럭의 동작 주파수  $f(\geq 500\text{MHz})$ 를 설정한다. 그리고, 단계 S2에서 게이트 산화막 두께  $t_{ox}$  및 SOI층 막 두께  $t_{soi}$  등의 게이트 폭  $W$  이외의 파라미터를 결정한다.

계속해서, 단계 S3에서 수학식 4를 적용하여  $R \cdot C \cdot f < 1$ 을 만족하는 최대 허용 게이트 폭  $W_{max}$ 를 구한다.

그리고, 단계 S4에서 최대 허용 게이트 폭  $W_{max}$ 를 만족한 MOS 트랜지스터를 포함하는 레이아웃 패턴을 생성하여 반도체 장치를 설계한다.

이와 같이, 제1 실시 형태의 반도체 장치의 설계 방법은  $\{R \cdot C \cdot f < 1\}$ 을 이용하여 장치 설계를 행하고 있기 때문에, 설계자는 시행 착오에 상관없이 객관적 인식에만 기초해서 장치가 동작해야 할 주파수에 대해 확실하게 안정 동작시킬 수 있는 반도체 장치를 항상 얻을 수 있다. 즉,  $\{R \cdot C \cdot f < 1\}$ 에 의해서 소정의 주파수에 대해 안정 동작이 가능한 최대 허용 게이트 폭  $W_{max}$ 를 정확하게 인식할 수 있는 효과를 발휘한다.

또, 도 4에서 도시한 플로우차트에서는 게이트 폭  $W$ 를 최종적인 허용치(최대 허용 게이트 폭  $W_{max}$ )를 구하는 파라미터로 했지만,  $\{R \cdot C \cdot f < 1\}$ 을 만족하는 파라미터면 어느 것이나 허용치를 구하는 파라미터로 할 수 있으며, 더욱 2개 이상의 파라미터의 조합의 허용치 등에도 적용할 수 있는 것은 물론이다.

도 5는 제1 실시 형태의 반도체 장치의 설계 방법을 자동적으로 실행하는 레이아웃 패턴 생성 장치를 나타낸 블록도이다. 도 5에 도시한 바와 같이, 레이아웃 패턴 생성 장치(100)는 회로 데이터(D1) 및 설정용 파라미터(D2)를 받는다. 또, 설정용 파라미터(D2)는 클럭의 동작 주파수  $f$ 와 게이트 산화막 두께  $t_{ox}$  및 SOI층 막 두께  $t_{soi}$  등의 게이트 폭  $W$  이외의 파라미터를 의미한다.

레이아웃 패턴 생성 장치(100)는 내부의 기록 매체(101)에 기록된 레이아웃 패턴 생성 프로그램을 실행할 수 있는 컴퓨터로서의 기능을 갖고 있다. 레이아웃 패턴 생성 프로그램은 제1 실시 형태의 경우, 도 4의 단계 S1, 단계 S2와 마찬가지로 설정해야 할 클럭의 동작 주파수  $f$ , 게이트 폭  $W$  이외의 파라미터를 부여하는 단계와, 도 4의 단계 S3 및 단계 S4와 동일한 처리를 행하는 단계를 기록한 프로그램이 된다.

따라서, 레이아웃 패턴 생성 장치(100)는 부여된 회로 데이터(D1) 및 설정용 파라미터(D2)에 기초하여  $\{R \cdot C \cdot f < 1\}$ 을 만족하는 MOS 트랜지스터를 포함하는 레이아웃 패턴 데이터(D3)를 자동 생성할 수 있다. 또, 기록 매체(101)로서는 예를 들면 플로피 디스크, CD-ROM, 하드 디스크 등이 생각된다.

또, 제1 실시 형태에서는 FS 분리 구조의 MOS 트랜지스터의 설계 방법에 대해 설명했지만, 도 6에 도시한 바와 같은 H형 게이트 구조의 설계 방법에도 적용할 수 있다. H 게이트 전극(26)의 좌우의 '1'에 의해서 드레인 영역(11) 및 소오스 영역(12)에 게이트 폭  $W$  방향으로 인접하여 형성되는 보디부(23)와 드레인 영역(11) 및 소오스 영역(12)를 전기적으로 분리하고 중앙의 '2'가 본래의 MOS 트랜지스터의 게이트 전극으로서 기능한다.

따라서, H 게이트 전극(26)을 통해 드레인 영역(11) 및 소오스 영역(12)과 대향하는 위치의 보디부(23) 상에 보디 컨택트(16)를 형성한 경우에도 보디 컨택트(16)로부터 얻어진 보디 전위가 드레인 영역(11), 소오스 영역(12)에 직접 전달되는 일은 없다.

이와 같이, 제1 실시 형태의 SOI 구조의 MOS 트랜지스터는 보디 전위 고정에 있어서, 게이트 폭  $W$ , 게이트 산화막 두께  $t_{ox}$  및 SOI층 막 두께  $t_{soi}$ 가 [식 3(식 4)]을 만족하도록 설계하고 있기 때문에, 고속 동작 시에서도 동작 속도가 변동하지 않은 안정 동작이 가능한 반도체 장치를 얻을 수 있다.

이 때, 수학식 3을 만족하는 범위에서 최대의 게이트 폭  $W$ 를 설정함으로써 안정된 동작이 가능한 범위에

서 최고의 속도로 동작하는 SOI 구조의 MOS 트랜지스터를 얻을 수 있다.

또, 수학적 3의 물력의 동작 주파수  $f$ 는, 제1 실시 형태의 SOI 구조의 MOS 트랜지스터가 CPU, DSP, 통신 등 칩 등의 동기형 논리 회로에 이용되는 경우는 동작 주파수, 물력 주파수, 발진 주파수 등을 의미하고 DRAM, SRAM 등의 반도체 기억 장치에 이용되는 경우는 동작 주파수, 물력 주파수, 액세스 시간의 역수 등을 의미한다.

## <제2 실시 형태>

제1 실시 형태와 마찬가지로 해서, 수학적 1, 수학적 2에서 결정하는 게이트 용량  $C(F)$ , 보디 저항  $R(\Omega)$ 을 갖는 DT MOS트랜지스터 1단위에 요구하는 신호 전파 지연 시간  $t_{pd}(s)$ 에 기초하는 시뮬레이션 결과에 의해서 신호 전파 지연 시간  $t_{pd}$ 가 50ps 이하의 고속 동작 시에서도 하기의 수학적 6에 도시한 조건을 만족하면 DT MOS트랜지스터가 안정적으로 동작하는 것을 발견하였다.

$$\frac{R \cdot C}{t_{pd}} < 1$$

예를 들면,  $\rho = 0.08(\Omega \cdot \text{cm})$ ,  $K_0 = 3.9$ ,  $\epsilon_0 = 8.86 \times 10^{-14}(\text{F/cm})$ ,  $t_{ox} = 50(\text{ps})$ 일 때, 하기의 수학적 7에 나타난 조건을 게이트 폭  $W$ , 게이트 산화막 두께  $t_{ox}$  및 SOI층 막 두께  $t_{soi}$ 가 만족하면 좋다.

$$\frac{W^2}{t_{ox} \cdot t_{soi}} < \frac{t_{pd}}{\rho \cdot K_0 \cdot \epsilon_0} = 1.8 \times 10^3$$

이 때, 게이트 산화막 두께  $t_{ox} = 0.007(\mu\text{m})$ 로 하면 SOI층 막 두께  $t_{soi} = 0.1(\mu\text{m})$ 로 하면,  $\{W < 1.26\}$  즉,  $\{W < 1.12(\mu\text{m})\}$ 가 되는 제약 조건 3을 만족하면 좋다.

단지, 보디부의 게이트 폭  $W$  방향에서의 게이트 전극의 양측의 보디부에서 게이트 전극과 보디부를 단락시킨 경우, 제1 실시 형태와 동일하고 보디 영역(14)에서의 고정 전위 전달 경로는 2분할되기 때문에,  $\{(W/2) < 1.12(\mu\text{m})\}$ 가 되는 제약 조건 4를 만족하면 좋고 최대 허용의 게이트 폭  $W$ 를 제약 조건 3인 경우의 2배로 할 수 있다.

또, 제2 실시 형태의 DTMOS는 게이트 전극(6)과 보디부를 단락하는 이외는 도 1 및 도 2에서 나타난 것과 마찬가지로 구조를 나타내고 있으며, 도 6에 도시한 바와 같은 H형 게이트 구조에도 적용할 수 있다.

도 7은 제2 실시 형태의 반도체 장치의 설계 방법의 처리 순서를 나타낸 플로우차트이다.

도 7을 참조하여, 우선 단계 S11에서 DT MOS트랜지스터 1단위에 요구하는 신호 전파 지연 시간  $t_{pd}(\leq 50 \text{ ps})$ 를 설정한다. 그리고, 단계 S12에서 게이트 산화막 두께  $t_{ox}$  및 SOI층 막 두께  $t_{soi}$  등의 게이트 폭  $W$  이외의 파라미터를 결정한다.

계속해서, 단계 S13에서 수학적 7을 적용하여  $(R \cdot C)/t_{pd} < 1$ 을 만족하는 최대 허용 게이트폭  $W_{max}$ 를 구한다.

그리고, 단계 S14에서 최대 허용 게이트 폭  $W_{max}$ 를 만족한 DT MOS트랜지스터를 포함하는 레이아웃 패턴을 생성하여 반도체 장치를 설계한다.

이와 같이, 제2 실시 형태의 반도체 장치의 설계 방법은  $\{(R \cdot C)/t_{pd} < 1\}$ 을 이용하여 장치 설계를 행하고 있기 때문에, 설계자는 시행 착오에 상관없이 객관적 인식에만 기초해서 요구되는 신호 전파 지연 시간에 대해 확실하게 안정 동작시킬 수 있는 반도체 장치를 항상 얻을 수 있다. 즉,  $\{(R \cdot C)/t_{pd} < 1\}$ 에 의해서 소정의 신호 전파 지연 시간에 대하여 안정 동작이 가능한 최대 허용 게이트 폭  $W_{max}$ 를 정확하게 인식할 수 있다고 하는 효과를 발휘한다.

이와 같이, 제2 실시 형태의 SOI 구조의 DT MOS트랜지스터는 보디 전위 고정에 있어서, 게이트 폭  $W$ , 게이트 산화막 두께  $t_{ox}$  및 SOI층 막 두께  $t_{soi}$ 가 [식 6(식 7)]을 만족하도록 설계하고 있기 때문에, 고속 동작 시에서도 동작 속도가 변동하지 않은 안정 동작이 가능한 반도체 장치를 얻을 수 있다.

또, 도 7에서 도시한 플로우차트에서는 게이트 폭  $W$ 를 최종적인 허용치(최대 허용 게이트 폭  $W_{max}$ )를 구하는 파라미터로 하였지만,  $\{(R \cdot C \cdot f < 1\}$ 을 만족하는 파라미터면 어느 것이나 허용치를 구하는 파라미터로 할 수 있으며, 더욱이 2개 이상의 파라미터의 조합의 허용치 등에도 적용할 수 있는 것은 물론이다.

이 때, 수학적 6을 만족하는 범위에서 최대의 게이트 폭  $W$ 를 설정함으로써 요구되는 신호 전파 지연 시간  $t_{pd}$ 가 50ps 이하의 고속 동작 시에도 안정된 동작이 가능한 범위에서 최고의 속도로 동작하는 SOI 구조의 DT MOS트랜지스터를 얻을 수 있다.

제2 실시 형태에서도 제1 실시 형태와 마찬가지로 도 5에서 나타난 레이아웃 패턴 생성 장치에 의한 레이아웃 패턴 데이터(03)의 자동 생성이 가능하다. 단지, 제2 실시 형태에서의 설정용 파라미터 02는 신호 전파 지연 시간  $t_{pd}$ 와, 게이트 산화막 두께  $t_{ox}$  및 SOI층 막 두께  $t_{soi}$  등의 게이트 폭  $W$  이외의 파라미터를 의미한다.

제2 실시 형태에서 기록 매체(101)에 기록되는 레이아웃 패턴 생성 프로그램은 도 6의 단계 S11, 단계 S12와 마찬가지로 설정하여야 할 신호 전파 지연 시간  $t_{pd}$ , 게이트 폭  $W$  이외의 파라미터를 부여하는 단계와, 도 7의 단계 S13 및 S14와 동일한 단계를 기록한 프로그램이 된다.

따라서, 레이아웃 패턴 생성 장치(100)는 부여된 회로 데이터(D1) 및 설정용 파라미터(D2)에 기초하여  $\{(R \cdot C) / t_{on} < 1\}$ 을 만족한 DT MOS트랜지스터를 포함하는 레이아웃 패턴 데이터 D3를 자동 생성할 수 있다.

### <제3 실시 형태>

제1 실시 형태 및 제2 실시 형태 각각에서, 보디 전위를 고정하여 안정 동작이 가능한 SOI 구조의 (DT)MOS 트랜지스터에서의 게이트 폭  $W$ , 게이트 산화막 두께  $t_{ox}$  및 SOI층 막 두께  $t_{soi}$ 의 제약 조건을 나타냈지만, 게이트 폭  $W$ 을 보다 크게 설정 가능하게 하기 때문에, 수학적 식 3 혹은 수학적 식 6 외의 파라미터의 개선을 꾀하고 구조적인 연구를 더한 것이 제3 실시 형태 이후의 실시 형태이다.

도 8 및 도 9는 각각 본 발명의 제3 실시 형태의 SOI 구조의 MOS 트랜지스터의 단면 구조를 나타낸 단면도이다. 또, 도 8은 도 1에서 나타난 평면 구조의 A-A 단면에 상당하고 도 9는 B-B 단면에 상당한다.

도 9에 도시한 바와 같이, SOI층(3)을 관통하여 드레인 영역(11) 및 소오스 영역(12)이 선택적으로 형성된다. 그리고, 드레인 영역(11), 소오스 영역(12) 간 상에 게이트 산화막(10)을 통해 게이트 전극(6)이 형성되며 게이트 전극(6)의 측면에 측벽(15)이 형성된다.

드레인 영역(11)에서 측벽(15) 아래쪽으로 위치하여 SOI층(3)의 상부에 형성되는 부분 드레인 영역(11A)의 N형 불순물 농도( $N^-$ )는 저농도로, 그 이외의 영역의 N형 불순물 농도( $N^+$ )는 고농도로 설정되어 있다. 마찬가지로, 소오스 영역(12)에서 측벽(15) 아래쪽으로 위치하여 SOI층(3)의 상부에 형성되는 부분 소오스 영역(12A)의 N형 불순물 농도( $N^-$ )는 저농도이며, 그 이외의 영역의 N형 불순물 농도( $N^+$ )는 고농도로 설정되어 있다.

한편, 게이트 전극(6) 하측의 SOI층(3)에서 상층부의 보디 영역(14A)의 P형 불순물 농도( $P^-$ )는 저농도로 설정되며, 하층부의 보디 영역(14B)의 P형 불순물 농도( $P^0$ )는 보디 영역(14A)보다 고농도로 설정된다.

이와 같이, 측벽(15) 아래쪽으로 위치하여 SOI층(3)의 하층 영역에 형성되는 보디 영역(14B)의 불순물 농도를 보디 영역(14A)의 불순물 농도(통상의 보디 영역(14)에 이용되는 불순물 농도)보다 높게 설정함으로써, 수학적 식 2의 보디부(13)의 비저항  $\rho$ 를 저하시킬 수 있다.

도 10의 그래프에 도시한 바와 같이, 보디 영역(14A)의 불순물 농도의 10배의 불순물 농도로 보디 영역(14B)를 형성하면, 보디 영역(14B)의 비저항은 보디 영역(14A)의 1/100이 된다. 이 때, 보디부(13)의 비저항은 보디 영역(14A)의 비저항은 무시할 수 있기 때문에, 보디 영역(14B)의 비저항  $\rho_{ob}$ 로 결정한다. 단지, SOI층 막 두께  $t_{soi}$ 로 대체하여 보디 영역(14B)의 막 두께  $t_{ob}$ 를 채용할 필요가 있다.

따라서, 제1 실시 형태의 수학적 식 5는 하기의 수학적 식 8로 변형할 수 있다.

$$\frac{W^2}{t_{ox} \cdot t_{soi}} < \frac{1}{\rho_{ob} \cdot K_0 \cdot \epsilon_0 \cdot \epsilon_s \cdot f}$$

예를 들면, 보디 영역(14B)의 비저항  $\rho_{ob} = 0.008 (\Omega \cdot \text{cm})$ , 보디 영역(14B)의 막 두께  $t_{ob} = 0.02 (\mu\text{m})$ 로 다른 조건이 제1 실시 형태와 마찬가지로이며,  $K_0 = 3.9$ ,  $\epsilon_0 = 8.86 \times 10^{-14} (\text{F/cm})$ ,  $f = 10 (\text{GHz})$ , 게이트 산화막 두께  $t_{ox} = 0.007 (\mu\text{m})$ 의 경우,  $\{W < 5.0\}$  즉  $\{W < 2.23 (\mu\text{m})\}$ 가 되는 제약 조건 5를 만족하면 된다.

제약 조건 1과 제약 조건 5와의 비교로부터, 제3 실시 형태의 구조는 제1 실시 형태의 구조에 비교해서 최대 실현 가능한 게이트 폭  $W$ 을 1.4배 정도 넓게 형성할 수 있는 것을 알 수 있다.

또, 보디 영역(14A)의 막 두께  $t_{ob}$ [보디 영역(14B)의 표면의 형성 깊이]는 MOS 트랜지스터의 채널 농도[보디 영역(14A)의 농도]로 결정되는 최대 공간충족  $X_{max}$  보다 크게 하면 MOS 트랜지스터의 전류 특성에 영향을 미치는 일은 없다.

따라서,  $t_{ob} > X_{max}$ 를 만족하도록 보디 영역(14A)를 형성하면 된다. 또,  $K_0$ : 실리콘의 비유전율,  $N_A$ : 보디 영역(14A)의 불순물 농도,  $\phi_s(\text{inv})$ : 채널 형성 시의 에너지 포텐셜로 하면 최대 공간충족  $X_{max}$ 는 하기의 수학적 식 9에서 결정한다.

$$X_{max} = \sqrt{\frac{2 \cdot K_0 \cdot \epsilon_0 \cdot \phi_s(\text{inv})}{q N_A}}$$

제3 실시 형태의 구조를 제2 실시 형태의 DT MOS를 구조로 적용한 경우, 제2 실시 형태의 수학적 식 7은 하기의 수학적 식 10으로 변경할 수 있으며, 제1 실시 형태에 적용한 경우와 마찬가지로 최대 실현 가능한 게이트 폭  $W$ 을 넓게 할 수 있다.

$$\frac{W^2}{t_{ox} \cdot t_{soi}} < \frac{t_{ob}}{\rho_{ob} \cdot K_0 \cdot \epsilon_0 \cdot \epsilon_s}$$

도 8 및 도 9에서 도시한 제3 실시 형태의 구조의 제조 방법에 대해 진술한다. 우선, FS 절연층(4), FS 전극(5) 및 게이트 전극(6) 형성 전의 단계에서 SOI층(3)의 하층부에 P형 불순물을 주입하고, 불순물 농도가  $P^0$  반도체 영역을 형성한다. 그 후, 기존의 방법으로 FS 절연층(4), FS 전극(5), 게이트 전극(6),



드레인 영역(11), 소오스 영역(12) 및 촉벽(15)을 형성함으로써 제3 실시 형태의 구조를 얻는다.

또, P형 불순물의 주입 시에 S01층(3)의 하층부에 형성된 불순물 농도  $P^0$ 의 반도체 영역은 S01층(3)을 관통하는 드레인 영역(11) 및 소오스 영역(12)의 형성 시에 드레인 영역(11), 소오스 영역(12) 이외의 영역만 잔존하고 잔존한 영역이 보디 영역(14B)가 된다.

#### <제4 실시 형태>

도 11은 본 발명의 제4 실시 형태인 S01 구조의 MOS 트랜지스터의 단면 구조를 나타낸 단면도이다. 또, 도 11은 도 1에서 나타낸 평면 구조의 B-B 단면에 상당한다.

도 11에 도시한 바와 같이, 게이트 전극(6)의 측면에 촉벽(15)이 형성된다. 드레인 영역(11)에서 촉벽(15) 전체 및 게이트 전극(6)의 일부 아래쪽으로 위치하고, S01층(3)의 상층부에 형성되는 부분 드레인 영역(11B)의 N형 불순물 농도( $N^+$ )는 저농도로, 그 이외의 영역의 N형 불순물 농도( $N^+$ )는 고농도로 설정되어 있다. 마찬가지로, 소오스 영역(12)에서 촉벽(15) 전체 및 게이트 전극(6)의 일부 아래쪽으로 위치하여 S01층(3)의 상층부에 형성되는 부분 소오스 영역(12B)의 N형 불순물 농도( $N^+$ )는 저농도이며, 그 이외의 영역의 N형 불순물 농도( $N^+$ )는 고농도로 설정되어 있다.

한편, 게이트 전극(6 ; 촉벽(15)) 하층의 S01층(3)에서 촉벽(15)의 아래쪽으로 위치하는 영역이 보디 영역(14D)이 되며, 게이트 전극(6) 아래쪽으로 위치하는 영역이 보디 영역(14C)이 된다. 보디 영역(14C)의 P형 불순물 농도( $P^+$ )는 저농도로 설정되며, 보디 영역(14D)의 P형 불순물 농도( $P^+$ )는 보디 영역(14C)보다 고농도로 설정된다. 따라서, 드레인 영역(11) 및 소오스 영역(12)의  $N^+$  영역과의 PN 접합면은 전부 보디 영역(14D)에 의해서 형성된다.

부분 드레인 영역(11B) 및 부분 소오스 영역(12B)은 촉벽(15)의 아래쪽으로 더해서, 게이트 전극(6)의 일부의 아래쪽에도 형성되는 만큼, 보디 영역(14D)보다 게이트 전극(6)의 중심 방향으로 길이 d1 연장되어 형성된다.

또, FS 절연층(4), FS 전극(5), 게이트 전극(6) 및 촉벽(15)의 구성은 도 8 및 도 9에서 도시한 제3 실시 형태의 구조와 마찬가지로 한다.

이와 같이, 촉벽(15) 아래쪽으로 위치하여 S01층(3)의 하층부에 형성되는 보디 영역(14D)의 불순물 농도를 보디 영역(14C)의 불순물 농도(통상의 보디 영역(14)에 이용되는 불순물 농도)보다 높게 설정함으로써, 수산화 2의 보디부(13)의 비저항  $\rho$ 를 저하시킬 수 있다.

그 결과, 제4 실시 형태의 구조는 제3 실시 형태와 마찬가지로, 제1 실시 형태의 구조에 비교하여 최대 실현 가능한 게이트 폭 W를 넓게 할 수 있다.

또한, 드레인 영역(11) 및 소오스 영역(12)의  $N^+$  영역과의 PN 접합면은 전부 보디 영역(14D)에 의해서 형성되기 때문에, 드레인 영역(11) 쪽은 소오스 영역(12)의  $N^+$  영역으로부터의 공간충의 신장을 억제할 수 있으며 편치 드루에 강한 구조가 실현한다.

또한, 부분 드레인 영역(11B) 및 부분 소오스 영역(12B)은 보디 영역(14D)에서 게이트 전극(6)의 중심 방향으로 길이 d1 연장되어 형성되기 때문에, 보디 영역(14D)의 비교적 높은 불순물 농도  $P^+$ 가 채널 형성 시의 MOS 트랜지스터의 전류 특성에 악영향을 미치는 일도 없다.

도 11에서 도시한 제4 실시 형태의 구조의 제조 방법을 설명한다. 우선, 게이트 전극(6) 형성 후 촉벽(15) 형성 전의 단계에서 도 12에 도시한 바와 같이, 불순물 농도가  $P^+$ 의 S01층(3)에 대해 게이트 전극(6)을 마스크로서 P형 불순물 이온(31)을 수직으로 주입(예를 들면, 도우즈량  $5 \times 10^{16}/cm^2$ 의 불순물 30KeV의 주입 에너지로 이온 주입)하여  $P^+$ 형 반도체 영역(24, 25)을 형성함과 동시에, N형 불순물 이온(32)을 경사 회전 주입하여  $N^+$ 형 중도 드레인 영역(21) 및 중도 소오스 영역(22)을 형성한다. 중도 드레인 영역(21) 및 중도 소오스 영역(22)은 N형 불순물 이온(32)을 경사 회전 주입하는 만큼, 반도체 영역(24, 25)에 비교하여 게이트 전극(6)의 중심 방향으로 연장하여 형성된다.

그리고, 촉벽(15) 형성 후에 게이트 전극(6) 및 촉벽(15)을 마스크로 해서 다시 N형 불순물을 주입함으로써 도 11에서 도시한 구조를 얻는다.

또, P형 불순물의 주입 시에 S01층(3)의 하층부에 형성된 불순물 농도  $P^0$ 의 반도체 영역(24, 25)은 S01층(3)을 관통하는 드레인 영역(11) 및 소오스 영역(12)의 형성 시에 드레인 영역(11), 소오스 영역(12) 이외의 영역만 잔존하고 잔존한 영역이 보디 영역(14D)이 된다.

#### <제5 실시 형태>

도 13은 본 발명의 제5 실시 형태인 S01 구조의 MOS 트랜지스터의 단면 구조를 나타낸 단면도이다. 또, 도 13은 도 1에서 도시한 평면 구조의 B-B 단면에 상당한다.

도 13에 도시한 바와 같이, 게이트 전극(6)의 측면에 촉벽(15)이 형성된다. 드레인 영역(11)에서 촉벽(15) 아래쪽으로 위치하여 S01층(3)을 관통하여 형성되는 부분 드레인 영역(11C)의 N형 불순물 농도( $N^+$ )는 저농도로, 그 이외의 영역의 N형 불순물 농도( $N^+$ )는 고농도로 설정되어 있다. 마찬가지로, 소오스 영역(12)에서 촉벽(15) 아래쪽으로 위치하여 S01층(3)을 관통하는 부분 소오스 영역(12C)의 N형 불순물 농도( $N^+$ )는 저농도이며, 그 이외의 영역의 N형 불순물 농도( $N^+$ )는 고농도로 설정되어 있다.

한편, 게이트 전극(6) 아래쪽의 S01층(3)에서 상층부의 보디 영역(14E)의 P형 불순물 농도( $P^+$ )는 저농도

로 설정되며, 하층부의 보디 영역(14F)의 P형 불순물 농도( $P^0$ )는 보디 영역(14E)보다 고농도로 설정된다. 또, FS 절연층(4), FS 전극(5), 게이트 전극(6) 및 측벽(15)의 구성은 도 8 및 도 9에서 도시한 제3 실시 형태의 구조와 마찬가지로이다.

이와 같이, 게이트 전극(6) 아래쪽으로 위치하여 S01층(3)의 하층부에 형성되는 보디 영역(14F)을 상층부에 형성되는 보디 영역(14E)보다 높은 불순물 농도로 설정함으로써, 수학식 2에서의 보디부(13)의 비저항  $\rho$ 를 저하시킬 수 있다. 그 결과, 제5 실시 형태의 구조는 제1 실시 형태의 구조에 비교하여 최대 실현 가능한 게이트 폭  $W$ 을 넓게 할 수 있다.

또한, 부분 드레인 영역(11C) 및 부분 소오스 영역(12C)을 S01층(3)을 관통하여 형성함으로써, 드레인 영역(11) 및 소오스 영역(12)의 N<sup>+</sup> 영역과 보디 영역(14F)의 P<sup>0</sup> 영역에 의한 PN 접합면이 전혀 형성되지 않기 때문에 접합 누설(junction leakage)을 억제할 수 있다.

도 13에서 도시한 제5 실시 형태의 구조의 제조 방법에 대해 진술한다. 우선, 게이트 전극(6) 형성 전의 단계에서 S01층(3)의 하층부에 P형 불순물을 주입하여 불순물 농도  $P^0$ 의 반도체 영역을 형성한다.

그리고, 게이트 전극(6) 형성 후 측벽(15) 형성 전의 단계에서 불순물 농도  $P^0$ 의 S01층(3)에 대해 게이트 전극(6)을 마스크로서 N형 불순물을 경사 회전 이온 주입하여 N형 중도 드레인 영역 및 중도 소오스 영역을 형성한다. 이 때, 주입 에너지를 제4 실시 형태의 제조 시보다도 강하게 해서 S01층(3)을 관통하도록 중도 드레인 영역 및 중도 소오스 영역을 형성함과 동시에, 이온 주입 시의 경사 회전 각도를 제4 실시 형태의 제조 시보다도 수직 방향으로 변경한다.

따라서, P형 불순물의 주입 시에 S01층(3)의 하층부에 형성된 불순물 농도  $P^0$ 의 반도체 영역 중 중도 드레인 영역, 중도 소오스 영역 이외의 영역만 잔존하고 잔존한 영역이 보디 영역(14B)이 된다.

그리고, 측벽(15) 형성 후에 게이트 전극(6) 및 측벽(15)을 마스크로서 다시 N형의 불순물을 주입함으로써 도 13에서 도시한 구조를 얻는다.

#### <제6 실시 형태>

도 14는 본 발명의 제6 실시 형태의 S01 구조의 MOS 트랜지스터의 단면 구조를 나타낸 단면도이다. 또, 도 14는 도 1에서 도시한 평면 구조의 B-B 단면에 상당한다.

도 14에 도시한 바와 같이, 게이트 전극(6)의 측면에 측벽(15)이 형성된다. 드레인 영역(11)에서 측벽(15) 아래쪽으로 위치하여 S01층(3)의 상층부에 형성되는 부분 드레인 영역(11A)의 N형 불순물 농도( $N^-$ )는 저농도로, 그 이외의 영역의 N형 불순물 농도( $N^+$ )는 고농도로 설정되어 있다. 마찬가지로, 소오스 영역(12)에서 측벽(15) 아래쪽으로 위치하여 S01층(3)의 상층부에 형성되는 부분 소오스 영역(12A)의 N형 불순물 농도( $N^-$ )는 저농도이며, 그 이외의 영역의 N형 불순물 농도( $N^+$ )는 고농도로 설정되어 있다.

한편, 게이트 전극(6 ; 측벽(15)) 하층의 S01층(3)에서 게이트 전극(6)의 바로 아래에 위치하여 S01층(3)의 하층부에 형성되는 영역이 보디 영역(14H)이 되며, 그 이외의 영역이 보디 영역(14B)이 된다. 보디 영역(14B)의 P형 불순물 농도( $P^0$ )는 저농도로 설정되며, 보디 영역(14H)의 P형 불순물 농도( $P^0$ )는 보디 영역(14B)보다 고농도로 설정된다.

또, FS 절연층(4), FS 전극(5), 게이트 전극(6) 및 측벽(15)의 구성은 도 8 및 도 9에서 도시한 제3 실시 형태의 구조와 마찬가지로이다.

이와 같이, 게이트 전극(6)의 바로 아래에 위치하여 S01층(3)의 하층부에 형성되는 보디 영역(14H)을 보디 영역(14B)보다 높은 불순물 농도로 설정함으로써, 수학식 2에서의 보디부(13)의 비저항  $\rho$ 를 저하시킬 수 있다. 그 결과, 제6 실시 형태의 구조는 제1 실시 형태의 구조에 비교해서 최대 실현 가능한 게이트 폭  $W$ 을 넓게 할 수 있다.

또한, P<sup>0</sup>형 보디 영역(14H)을 게이트 전극(6)의 바로 아래에 위치하는 S01층(3)의 하층부에만 형성하기 때문에, 드레인 영역(11) 및 소오스 영역(12)의 N<sup>+</sup> 영역과 보디 영역(14H)의 P<sup>0</sup> 영역에 의한 PN 접합면이 전혀 형성되지 않기 때문에 정전 누설을 억제할 수 있다.

도 14에서 도시한 제6 실시 형태의 구조의 제조 방법에 대해 진술한다. 우선, 도 15에 도시한 바와 같이 게이트 전극(6) 형성 후 측벽(15) 형성 전의 단계에서 전면 P형 불순물 이온(31)을 주입한다.

이 때, 게이트 전극(6) 통해서 이온 주입된 P형 불순물만이 보디부(13)의 하층부에 주입되며, 게이트 전극(6)을 통과하지 않고서 이온 주입된 P형 불순물은 S01층(3)을 통과하여 S01층(3) 하의 매립 산화막(2 ; 도시하지 않음)에 주입되도록 한다. 예를 들면, S01층 막 두께  $t_{s01}=100(\text{nm})$ , 게이트 전극(6)의 막 두께  $t_{gate}=200(\text{nm})$ 일 때, 주입 에너지 120(KeV), 도우징량  $1 \times 10^{14}/\text{cm}^2$  정도로 불순물 이온 주입하면 좋다.

다음에, S01층(3)에 대해 게이트 전극(6)을 마스크로서 N형 불순물 이온을 주입하여 N형 중도 드레인 영역 및 중도 소오스 영역을 형성한다.

그리고, 측벽(15) 형성 후에 게이트 전극(6) 및 측벽(15)을 마스크로 해서 다시 N형 불순물을 주입함으로써 도 14에서 도시한 구조를 얻는다.

#### <제7 실시 형태>

도 16은 본 발명의 제7 실시 형태의 S01 구조의 MOS 트랜지스터의 단면 구조를 나타낸 단면도이다. 도

16에 도시한 바와 같이, 막 두께  $t_1$ 의 S01층(3A)의 보디 고정 트랜지스터 영역(A1)에 보디 전위가 고정된 트랜지스터(OTMOS를 포함한다)가 형성되며, 막 두께  $t_2$  ( $t_2 < t_1$ )의 S01층(3B)의 보디 플로우팅 트랜지스터 영역(A2)에 보디가 플로우팅 상태의 트랜지스터가 형성된다.

S01층(3A)의 막 두께  $t_1$ 은  $t_{\text{oxi}} = 1$ 로 할 때에 [식 4(혹은 식 6)]를 만족하여 원하는 게이트 폭  $W$ 가 형성 가능한 정도로 설정되며, S01층(3B)의 막 두께는 동작 시에 보디 영역(14)이 완전 공지화 상태가 되도록 설정한다.

이러한 구조의 제7 실시 형태에서, 보디 고정 트랜지스터 영역 A1에 형성되는 S01 구조의 MOS 트랜지스터는 원하는 게이트 폭  $W$ 에서 안정 동작이 가능해진다.

한편, 보디 플로우팅 트랜지스터 영역(A2)에 형성되는 S01 구조의 MOS 트랜지스터는 동작 시에 보디 영역(14)이 완전 공지화 상태가 되기 때문에, S 팩터(Subthreshold factor)가 좋은 전기 특성을 얻을 수 있다. 따라서, 보디 플로우팅 트랜지스터 영역(A2)에 동작 속도가 불안정한 MOS 트랜지스터를 이용하여도 문제가 없는 회로를 형성하면, S 팩터가 좋은 전기 특성이 얻어지는 만큼 유효가 된다.

#### <실시 형태 8>

도 17은 본 발명의 제8 실시 형태인 S01 구조의 MOS 트랜지스터의 평면 구조를 나타낸 평면도이다.

도 17에 도시한 바와 같이, 드레인 영역(11), 소오스 영역(12)을 평면 상 둘러싸서 FS 전극(5)이 형성되며, 드레인 영역(11), 소오스 영역(12) 간 및 FS 전극(5)의 일부 상에 게이트 전극(6A)이 형성된다.

게이트 전극(6A)은 드레인 영역(11), 소오스 영역(12) 간의 영역 상에서 2개의 프레임부(61, 62)를 갖고 있으며, 프레임부(61, 62)의 개구부에 보디 영역(14)이 노출하고 있다. 프레임부(61, 62) 내 각각의 보디 영역(14) 상에 보디 콘택트(16, 16)를 설치하고 있다. 도 17에서 게이트 폭  $W$  방향에서의 FS 전극(5)으로부터 프레임부(61)까지의 거리가  $W_1$ , 프레임부(61, 62) 간의 거리가  $W_2$ , FS 전극(5)으로부터 프레임부(62)까지의 거리가  $W_3$ 가 되고 있다.

또, FS 전극(5)의 외부 주변부에 존재하는 보디부(13)에서도 게이트 전극(6A)의 양 단의 연장선 상에도 보디 콘택트(16, 16)가 형성되며, 이들 보디 콘택트(16)는 FS 전극(5)을 끼워 드레인 영역(11) 및 소오스 영역(12)과 평면 상 대향하는 위치에 존재한다. 또한, 도 17의 최외각의 외주선 L1은 S01층이 LOCOS 등으로 절연 분리되는 경계선을 나타내고 있다.

또한, 게이트 전극(6A) 형성 방향의 단면 구조는 도 10에서 도시한 제1 실시 형태의 단면 구조와 마찬가지로이며, 드레인 영역(11), 소오스 영역(12) 형성 방향의 단면 구조는 도 9, 도 11, 도 13, 도 14, 도 21 등으로 도시한 구조와 마찬가지로이다. 또한, 제8 실시 형태의 MOS 트랜지스터는 제1 실시 형태에서 나타낸 보디 고정 전위 MOS 트랜지스터에서도 제2 실시 형태에서 나타낸 DT MOS트랜지스터 중 어느쪽이나 좋다.

이러한 평면 구조의 제8 실시 형태의 MOS 트랜지스터는 게이트 전극(6A)의 프레임부(61, 62) 내에 보디 콘택트(16)가 설치되기 때문에, 보디 영역(14)에서의 고정 전위 전달 경로가 3분할되기 때문에, 3분할된 보디 영역(14) 각각의 게이트 폭  $W_1$ ,  $W_2$  및  $W_3$ 에 대해서 수학식 4 혹은 수학식 6을 만족하면 안정 동작이 가능해진다.

그 결과, 드레인 영역(11), 소오스 영역(12) 및 게이트 전극(6A)에서 구성되는 MOS 트랜지스터가 실질적인 게이트 폭으로서 ( $W_1+W_2+W_3$ )를 설정할 수 있기 때문에, 안정 동작이 가능하며 또한 충분히 큰 게이트 폭의 MOS 트랜지스터를 형성할 수 있다.

#### <제9 실시 형태>

도 18은 본 발명의 제9 실시 형태인 S01 구조의 MOS 트랜지스터의 평면 구조를 나타낸 평면도이다.

도 18에 도시한 바와 같이, FS 전극(5A)은 4개의 슬릿(SL1 ~ SL4)이 설치되며, 각 슬릿(SL1 ~ SL4) 내에 드레인 영역(41 ~ 44) 및 소오스 영역(51 ~ 54)이 형성된다. FS 전극(5A)의 하측은 보디부(13)가 형성된다. 그리고, 드레인 영역(41 ~ 44), 소오스 영역(51 ~ 54) 간 및 FS 전극(5A)의 일부 상에 게이트 전극(6)이 형성된다.

그리고, 제8 실시 형태와 마찬가지로이며 FS 전극(5A)의 외부 주변부에 존재하는 보디부(13)에서의 게이트 전극(6)의 양 단의 연장선 상에 보디 콘택트(16, 16)가 형성된다. 또, 도 18의 최 외의 외주선 L1은 S01층이 LOCOS 등으로 절연 분리되는 경계선을 나타내고 있다.

또한, 게이트 전극(6) 형성 방향의 단면 구조는 도 10에서 도시한 제1 실시 형태의 단면 구조와 마찬가지로이며, 드레인 영역(41 ~ 44), 소오스 영역(51 ~ 53) 형성 방향의 단면 구조는 도 9, 도 11, 도 13, 도 14, 도 21 등으로 도시한 구조와 마찬가지로이다. 또한, 제9 실시 형태의 MOS 트랜지스터는 제1 실시 형태에서 나타낸 보디 고정 전위 MOS 트랜지스터에도 제2 실시 형태에서 나타낸 DT MOS트랜지스터 중 어느쪽이나 좋다.

이러한 평면 구조의 제9 실시 형태의 MOS 트랜지스터는 FS 전극(5A)의 슬릿(SL1 ~ SL4)의 경계가 되는 FS 전극(5A)의 영역의 아래쪽으로는 보디부(13)가 형성되어 있으며, 게이트 전극(6) 아래쪽의 보디 영역(14)에 비교해서 충분히 작은 저항치에 의한 고정 전위 전달 경로가 확보되기 때문에, 보디 영역(14)에서의 고정 전위 전달 경로는 4분할되며 각 게이트 폭  $W_{11}$ ,  $W_{12}$ ,  $W_{13}$  및  $W_{14}$ 에 대해 수학식 4 혹은 수학식 6을 만족하면 안정 동작이 가능해진다.

그 결과, 드레인 영역(41 ~ 44), 소오스 영역(51 ~ 54) 및 게이트 전극(6)으로 구성되는 MOS 트랜지스터가 실질적인 게이트 폭으로서 ( $W_{11}+W_{12}+W_{13}+W_{14}$ )를 설정할 수 있기 때문에, 안정 동작이 가능하며 또한 충분히 큰 게이트 폭의 MOS 트랜지스터를 형성할 수 있다.

#### <실시 형태 10>

도 19는 본 발명의 제10 실시 형태인 SOI 구조의 MOS 트랜지스터의 평면 구조를 나타낸 평면도이다.

도 19에 도시한 바와 같이, 드레인 영역(11), 소오스 영역(12) 간 및 보디부(13)의 일부 상에 게이트 전극(68)이 형성된다. 게이트 전극(68)은 드레인 영역(11), 소오스 영역(12) 간의 영역 상에서 2개의 프레임부(63, 64)를 갖고 있으며 프레임부(63, 64)의 개구부에 노출되는 보디 영역(14) 상에 각각 보디 콘택트(16, 16)를 설치하고 있다. 도 19에 도시한 바와 같이, 게이트 전극(68)의 게이트 폭  $W$  방향에서의 게이트 전극(68)의 경계부로부터 프레임부(63)까지의 거리가  $W_{21}$ , 프레임부(63, 64) 간의 거리가  $W_{22}$ , 게이트 전극(68)의 경계부로부터 프레임부(64)까지의 거리가  $W_{23}$ 이 되어 있다.

또, 제8 실시 형태 및 제9 실시 형태와 마찬가지로, 게이트 전극(68)의 양 단의 연장선 상에서의 보디부(13) 상에도 보디 콘택트(16, 16)가 형성된다. 또한, 도 19의 최밖의 외주선 L1는 SOI층이 LOCOS 등으로 절연 분리되는 경계선을 나타내고 있다.

또, 드레인 영역(11), 소오스 영역(12) 형성 방향의 단면 구조는 도 9, 도 11, 도 13, 도 14, 도 21 등으로 도시한 구조와 마찬가지로, 또한, 제10 실시 형태의 MOS 트랜지스터는 제1 실시 형태에서 나타낸 보디 고정 전위 MOS 트랜지스터에도 제2 실시 형태에서 나타낸 DT MOS 트랜지스터 중 어느 쪽이나 좋다.

이러한 평면 구조의 제10 실시 형태의 MOS 트랜지스터는 게이트 전극(68)의 도 19 상에 세로 방향으로 형성되는 좌단 및 우단의 'I' 부분에 의해서 H형 게이트의 좌우의 'I'와 마찬가지로, 보디부(13; 보디 영역(14))와 드레인 영역(11) 및 소오스 영역(12)을 전기적으로 분리할 수 있다.

그리고, 제10 실시 형태의 MOS 트랜지스터는 게이트 전극(68)의 프레임부(63, 64) 내에 보디 콘택트(16)가 설치되기 때문에, 제8 실시 형태와 마찬가지로, 보디 영역(14)에서의 고정 전위 전달 경로가 3분할되며 각 게이트 폭  $W_{21}$ ,  $W_{22}$  및  $W_{23}$ 에 대해 수학식 4 혹은 수학식 6을 만족하면 안정 동작이 가능해진다.

그 결과, 드레인 영역(11), 소오스 영역(12) 및 게이트 전극(68)에서 구성되는 MOS 트랜지스터가 실질적인 게이트 폭으로서 ( $W_{21}+W_{22}+W_{23}$ )를 설정할 수 있기 때문에, 안정 동작이 가능하며 또한 충분히 큰 게이트 폭의 MOS 트랜지스터를 형성할 수 있다.

또한, FS 전극의 형성을 생략하는 만큼 보디부(13)의 형성 면적을 작게 할 수 있으며, 이 구성으로 DT MOS 트랜지스터를 구성하면 보다 빠른 동작 속도를 달성할 수 있다.

#### <기타>

상기한 실시 형태의 MOS 트랜지스터를 이용해서 각 실시 형태의 게이트 폭  $W$ 가 소정의 제약 조건을 만족하는 범위에서 게이트 어레이를 구성해도 좋다. 또한, 상기 실시 형태에서는 주로 NMOS 트랜지스터를 예를 들었지만 PMOS 트랜지스터에도 본 발명이 적용 가능한 것은 물론이다.

#### 발명의 효과

이상 설명한 바와 같이, 본 발명에 기재된 반도체 장치의 설계 방법의 단계 (b)는, C : MOS 트랜지스터의 게이트 용량(F), R : 적어도 1개의 보디 콘택트로부터 보디 영역에 이르는 고정 전위 전달 경로의 저항( $\Omega m$ ), f : 소정의 클럭의 동작 주파수(Hz)로 할 때,  $f \geq 500kHz$ 의 범위에서 조건식 :  $R \cdot C \cdot f < 1$ 을 만족하도록 MOS 트랜지스터의 레이아웃 패턴을 결정하고 있기 때문에, 고속 동작 시에서도 항상 동작 속도가 안정된 보디 전위 고정 MOS 트랜지스터를 설계할 수 있다.

본 발명에 기재된 반도체 장치의 설계 방법은, C : MOS 트랜지스터의 게이트 용량(F), R : 적어도 1개의 보디 콘택트로부터 보디 영역에 이르는 고정 전위 전달 경로의 저항( $\Omega m$ ), td : MOS 트랜지스터에 요구하는 신호 전파 지연 시간(s)로 할 때,  $td \leq 50ps$ 의 범위에서, 조건식 :  $(R \cdot C) / td < 1$ 을 만족하도록 MOS 트랜지스터의 레이아웃 패턴을 결정하고 있기 때문에, 고속 동작 시에서도 항상 동작 속도가 안정된 게이트 전극, 보디부 단락 구조의 MOS 트랜지스터를 설계할 수 있다.

본 발명에 따른 반도체 장치는 청구항1에 기재된 반도체 장치의 설계 방법에 의해서 설계되기 때문에, 고속 동작 시에서도 동작 속도가 안정된 보디 전위 고정 MOS 트랜지스터를 얻을 수 있다.

본 발명에 따른 반도체 장치는, 청구항2에 기재된 반도체 장치의 설계 방법에 의해서 설계되기 때문에, 고속 동작 시에서도 동작 속도가 안정된 게이트 전극, 보디부 단락 구조의 MOS 트랜지스터를 얻을 수 있다.

본 발명에 기재된 반도체 장치는, C : MOS 트랜지스터의 게이트 용량(F), R : 적어도 1개의 보디 콘택트로부터 보디 영역에 이르는 고정 전위 전달 경로의 저항( $\Omega m$ ), f : 소정의 클럭의 동작 주파수(Hz)로 할 때,  $f \geq 500kHz$ 의 범위에서 조건식 :  $R \cdot C \cdot f < 1$ 을 만족하도록 MOS 트랜지스터를 형성하고 있기 때문에, 고속 동작 시에서도 동작 속도가 안정된 보디 전위 고정 MOS 트랜지스터를 얻을 수 있다.

본 발명에 기재된 반도체 장치는 C : MOS 트랜지스터의 게이트 용량(F), R : 적어도 1개의 보디 콘택트로부터 보디 영역에 이르는 고정 전위 전달 경로의 저항( $\Omega m$ ), td : MOS 트랜지스터에 요구하는 신호 전파 지연 시간(s)로 할 때,  $td \leq 50ps$ 의 범위에서 조건식 :  $(R \cdot C) / td < 1$ 을 만족하도록 MOS 트랜지스터를 형성하고 있기 때문에, 고속 동작 시에서도 동작 속도가 안정된 게이트 전극, 보디부 단락 구조의 MOS 트랜지스터를 얻을 수 있다.

본 발명에 따른 반도체 장치는, 보디부의 저항 R은  $\Psi$  : 보디 영역에서의 고정 전위 전달 경로의 게이트 전극의 게이트 폭 방향의 길이, L : 보디 영역에서의 상기 고정 전위 전달 경로의 게이트 전극의 게이트 길이 방향의 길이,  $t_{ox}$  : SOI층의 막 두께,  $\rho$  : 보디 영역의 비저항으로 할 때,  $R = (\rho \cdot \Psi) / (L \cdot t_{ox})$ 에서 결정하기 때문에, SOI층의 막 두께, 보디 영역의 비저항을 미리 설정함으로써 보디 영역의 크기의 허용 범위를 구할 수 있다.

본 발명에 따른 반도체 장치에서, 보디 영역을 제외하는 제1 및 제2 반도체 영역에 인접한 보디부 상에 절연막을 통해 형성되는 분리 전극을 구비하고, 분리 전극을 끼워 제1 및 제2 반도체 영역과 평면 상 대

향하는 위치의 보디부의 영역 상에 분리 전극 외 보디 컨택트가 형성되기 때문에, 이 분리 전극에 역 바이어스 전압을 인가함으로써, 분리 전극 외 보디 컨택트와 제1 및 제2 반도체 영역과의 사이를 전기적으로 분리하고 분리 전극 외 보디 컨택트로부터 멀어지는 고정 전위가 제1 및 제2 반도체 영역에 악 영향을 미치지 않도록 할 수 있다.

본 발명에 따른 반도체 장치에서, 게이트 전극은 보디 영역의 보디 컨택트 가능 영역이 노출하는 개구부를 갖고 보디 컨택트는 보디 컨택트 가능 영역 상에 형성되는 게이트 전극 내 보디 컨택트를 더욱 포함하고 있다.

따라서, 보디 영역에서의 고정 전위 전달 경로는 게이트 전극 내 보디 컨택트에 의해서 분할되기 때문에, 게이트 전극 내 보디 컨택트에 의해서 분할된 보디 영역 단위로 조건식 1 혹은 조건식 2를 어느 정도 만족하는지에 따라(?), 게이트 전극의 게이트 폭 방향의 보디 영역 전체의 길이를 길게 설정할 수 있다.

본 발명에 따른 반도체 장치에서, 복수의 제1 및 제2 반도체 영역을 각각 보디부에서 분리 형성되어 있다.

따라서, 보디 영역에서의 고정 전위 전달 경로는 상기 복수의 제1 및 제2 반도체 영역을 각각 분리하는 보디부에 의해서 분할되기 때문에, MOS 트랜지스터에서의 복수의 제1 및 제2 반도체 영역 각각이 상기 조건식 1 혹은 조건식 2를 어느 정도 만족하는지에 따라(?), 게이트 전극의 게이트 폭 방향의 보디 영역 전체의 길이를 길게 설정할 수 있다.

본 발명에 따른 반도체 장치에서, 게이트 전극은 제1 및 제2 반도체 영역에 인접한 보디부 상을 보디 영역 상에서 게이트 길이 방향으로 더욱 연장되어 형성되며, 게이트 전극 외 보디 컨택트는 게이트 전극을 끼워 제1 및 제2 반도체 영역과 평면 상 대향하는 보디부의 영역 상에 형성된다.

따라서, 게이트 전극에 OFF 전압을 인가함으로써 게이트 전극 외 보디 컨택트와 제1 및 제2 반도체 영역과의 사이를 전기적으로 분리하고, 게이트 전극 외 보디 컨택트로부터 멀어지는 고정 전위가 제1 및 제2 반도체 영역에 악영향을 미치지 않도록 할 수 있다.

본 발명에 따른 반도체 장치에서, 게이트 전극은 보디 영역의 보디 컨택트 가능 영역이 노출하는 개구부를 갖고 보디 컨택트는 보디 컨택트 가능 영역 상에 형성되는 게이트 전극 내 보디 컨택트를 더욱 포함하고 있다.

따라서, 보디 영역에서의 고정 전위 전달 경로는 게이트 전극 내 보디 컨택트에 의해서 분할되기 때문에, MOS 트랜지스터는 분할된 보디 영역 단위로 조건식 1 혹은 조건식 2를 어느 정도 만족하는지에 따라(?), 게이트 전극의 게이트 폭 방향의 보디 영역 전체의 길이를 길게 설정할 수 있다.

본 발명에 따른 반도체 장치에서, 적어도 1개의 보디 컨택트는 게이트 전극의 게이트 폭 방향의 일단 및 타단의 연장선 상에 위치하는 보디부 상에 형성되는 제1 및 제2 보디 컨택트를 포함하고 있다.

따라서, 보디 영역에서의 고정 전위 전달 경로는 제1 및 제2 보디 컨택트에 의해서 분할되기 때문에, MOS 트랜지스터는 2분할된 보디 영역 단위로 조건식 1 혹은 조건식 2를 어느 정도 만족하는지에 따라(?), 게이트 전극의 게이트 폭 방향의 보디 영역 전체의 길이를 길게 설정할 수 있다.

본 발명에 따른 반도체 장치에서, 보디 영역의 하층부에 있는 제2 보디 영역은 제1 보디 영역의 제2 도전형 불순물 농도보다도 높은 제2 도전형의 불순물 농도를 갖기 때문에, 보디 영역 전체를 제1 보디 영역의 불순물 농도로 하는 경우에 비교하여 보디 영역의 비저항을 감소시킬 수 있다.

그 결과, 조건식 1 혹은 조건식 2를 만족하는 파라미터 중 보디 영역의 비저항, 보디 영역에서의 고정 전위 전달 경로의 게이트 전극의 게이트 폭 방향의 길이 이외의 파라미터가 전부 동일 조건인 경우, 보디 영역의 비저항을 저하시키는 만큼 상기 게이트 폭 방향의 길이를 길게 설정할 수 있다.

본 발명에 따른 반도체 장치에서, 비교적 불순물 농도가 높은 제1 및 제2 부분 보디 영역은 비교적 불순물 농도가 높은 제1 및 제2 주영역과 계면을 접하여 형성되며, 비교적 불순물 농도가 낮은 제1 보디 영역은 제1 및 제2 주영역과 계면을 접하는 일이 없이 형성되기 때문에, 제1 및 제2 주영역으로부터의 공핍층의 신장을 제1 및 제2 부분 보디 영역에 의해서 확실하게 억제할 수 있으며, 펀치 드루에 강한 구조의 MOS 트랜지스터를 얻을 수 있게 된다.

또한, 비교적 불순물 농도가 낮은 제1 및 제2 부분 반도체 영역은 각각 제1 및 제2 부분 보디 영역에서 게이트 전극의 중심 방향으로 소정 거리 연장하여 형성되기 때문에, 제1 및 제2 부분 보디 영역의 비교적 높은 불순물 농도가 채널 형성 시의 MOS 트랜지스터의 전류 특성에 악영향을 미치는 일도 없다.

본 발명에 따른 반도체 장치에서, 비교적 불순물 농도가 낮은 제1 및 제2 부분 반도체 영역은 각각 제1 및 제2 반도체 영역 간에서 대향하는 일부분의 영역에 SOI층을 관통하여 형성된다.

따라서, 비교적 불순물 농도가 높은 제2 보디 영역과 비교적 불순물 농도가 높은 제1 혹은 제2 반도체 영역이 계면을 접하는 일이 없기 때문에, 정션 누설을 최소한으로 억제할 수 있다.

본 발명에 따른 반도체 장치에서, 비교적 불순물 농도가 높은 제2 보디 영역은 제1 및 제2 주영역과 계면을 접하는 일이 없이 하층부의 중심 영역에 형성된다.

따라서, 비교적 불순물 농도가 높은 제2 보디 영역과 비교적 불순물 농도가 높은 제1 혹은 제2 반도체 영역이 계면을 접하는 일이 없기 때문에 정션 누설을 최소한으로 억제할 수 있다.

본 발명에 따른 반도체 장치에서, 보디 전위를 고정하는 MOS 트랜지스터는 막 두께가 비교적 두꺼운 제1 영역 상에 형성되며, 보디 플로팅 MOS 트랜지스터는 막 두께가 비교적 얇은 제2 영역 상에 형성된다.

따라서, 조건식 1 혹은 조건식 2를 만족하는 파라미터 중 SOI층의 막 두께, 게이트 전극의 게이트 폭 방향의 보디 영역의 길이 이외의 파라미터가 전부 동일 조건인 경우, SOI층의 막 두께를 두껍게 하는 만큼,

보디 전위를 고정하는 MOS 트랜지스터의 게이트 쪽 방향의 보디 영역의 길이를 길게 설정할 수 있다.  
 한편, 보디 플로팅 MOS 트랜지스터는 보디 전위를 고정하는 MOS 트랜지스터에 영향을 미치는 일 없이 원하는 동작 특성을 얻도록 SOI층의 막 두께를 얇게 해서 형성할 수 있다.  
 본 발명에 기재된 기록 매체는, 상기 기재된 반도체 장치의 설계 방법을 실행시키기 위한 프로그램이 기록되어 있기 때문에, 이 프로그램을 컴퓨터에 실행시킴으로써, 고속 동작 시에서도 항상 안정 동작이 가능한 보디 전위 고정 MOS 트랜지스터 혹은 게이트 전극, 보디부 단락 구조의 MOS 트랜지스터를 설계할 수 있다.

#### (57) 청구의 범위

청구항 1. 지지 기판, 매립 산화막, 및 SOI층으로 이루어진 SOI 기판 상에 형성되며, 소정의 클럭에 기초하여 동작하는 MOS 트랜지스터를 갖는 반도체 장치의 설계 방법에 있어서,

상기 MOS 트랜지스터와,

상기 SOI층 내에 선택적으로 형성되는 제1 도전형의 제1 반도체 영역과,

상기 SOI층 내에 선택적으로 상기 제1 반도체 영역과 독립하여 형성되는 제1 도전형의 제2 반도체 영역과,

상기 제1 및 제2 반도체 영역 간의 상기 SOI층의 영역인 보디 영역을 포함하는 제2 도전형의 보디부와,

상기 보디 영역 상에 게이트 산화막을 개재해서 형성되는 게이트 전극과,

상기 보디부에 전기적으로 접속되며, 고정 전위를 받는 적어도 1개의 보디 콘택트를 구비하고,

(a) 상기 소정의 클럭의 동작 주파수를 부여하는 단계와,

(b) 상기 소정의 클럭의 동작 주파수에 기초하여 상기 MOS 트랜지스터의 레이아웃 패턴을 결정하는 단계를 구비하고,

상기 단계 (b)는,

C : 상기 MOS 트랜지스터의 게이트 용량 (F)

R : 상기 적어도 1개의 보디 콘택트로부터 상기 보디 영역에 이르는 고정 전위 전달 경로의 저항 ( $\Omega$ )

f : 상기 소정의 클럭의 동작 주파수 (Hz)

로 할 때,

$f \geq 500\text{MHz}$ 의 범위에 있어서,

조건식 1 :  $R \cdot C \cdot f < 1$

를 만족하도록 상기 MOS 트랜지스터의 레이아웃 패턴을 결정하는 것을 특징으로 하는 반도체 장치의 설계 방법.

청구항 2. 지지 기판, 매립 산화막, 및 SOI층으로 이루어진 SOI 기판 상에 형성되는 MOS 트랜지스터를 갖는 반도체 장치의 설계 방법에 있어서,

상기 MOS 트랜지스터와,

상기 SOI층 내에 선택적으로 형성되는 제1 도전형의 제1 반도체 영역과,

상기 SOI층 내에 선택적으로 상기 제1 반도체 영역과 독립하여 형성되는 제1 도전형의 제2 반도체 영역과,

상기 제1 및 제2 반도체 영역 간의 상기 SOI층의 영역인 보디 영역을 포함하는 제2 도전형의 보디부와,

상기 보디 영역 상에 게이트 산화막을 개재해서 형성되는 게이트 전극을 구비하고,

상기 게이트 전극은 상기 보디부에 전기적으로 접속되며,

상기 보디부에 전기적으로 접속되며, 고정 전위를 받는 적어도 1개의 보디 콘택트를 더욱 구비하고,

(a) 상기 MOS 트랜지스터에 요구하는 신호 전파 지연 시간을 부여하는 단계와,

(b) 상기 신호 전파 지연 시간에 기초하여 상기 MOS 트랜지스터의 레이아웃 패턴을 결정하는 단계를 구비하고,

상기 단계 (b)는,

C : 상기 MOS 트랜지스터의 게이트 용량 (F)

R : 상기 적어도 1개의 보디 콘택트로부터 상기 보디 영역에 이르는 고정 전위 전달 경로의 저항 ( $\Omega$ )

td : 상기 MOS 트랜지스터에 요구하는 신호 전파 지연 시간 (s)

로 할 때,

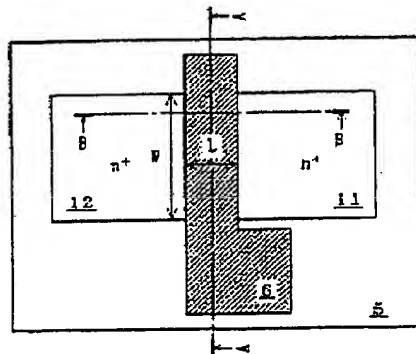
$td \leq 50\text{ps}$ 의 범위에 있어서,

조건식 2 :  $(R \cdot C) / td < 1$

을 만족하도록 상기 MOS 트랜지스터의 레이아웃 패턴을 결정한 것을 특징으로 하는 반도체 장치의 설계 방법.

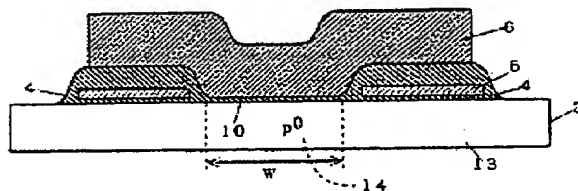
도면

도면1



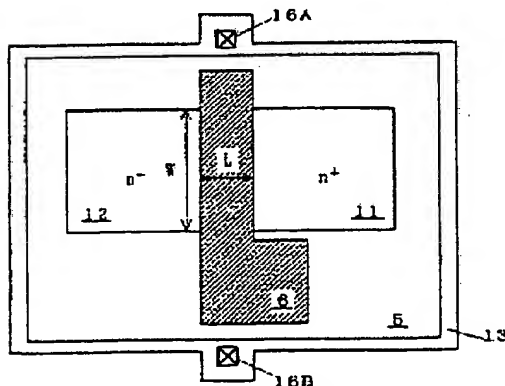
5 : FS 전극      6 : 게이트 전극  
11 : 드레인 영역      12 : 소스 영역

도면2



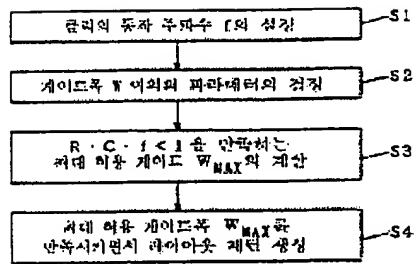
3 : SOI 층      13 : 보더부  
4 : FS 전연막      14 : 보더 영역

도면3

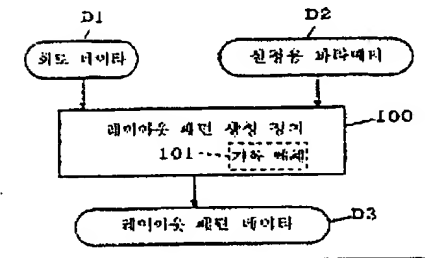


16A, 16B : 보더 콘택트

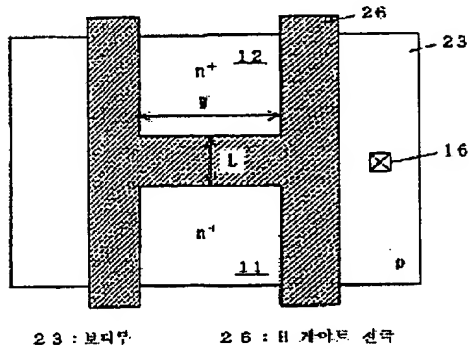
도 B4



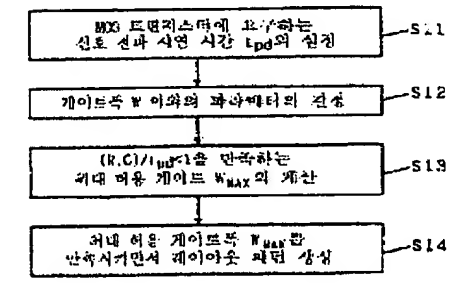
도 B5



도 B6

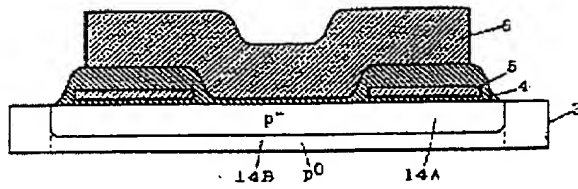


도 B7



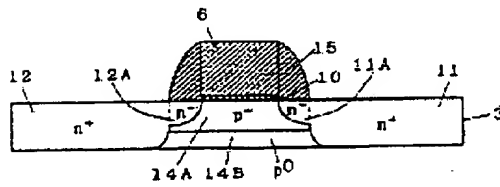


도면8



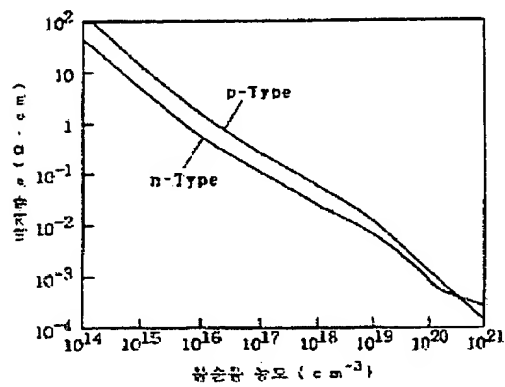
14 A, 14 B : 불대 영역

도면9

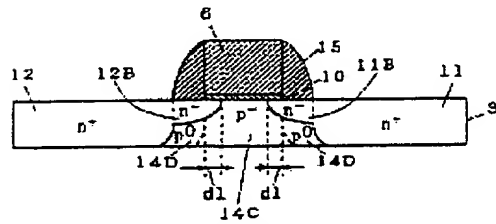


11 A : 부분 드레인 영역  
11 B : 부분 소오스 영역  
15 : 측벽

도면10



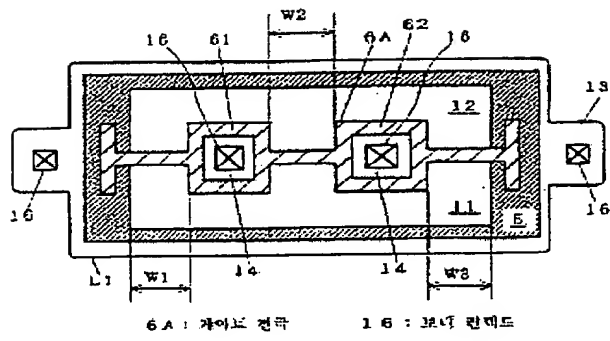
도면11



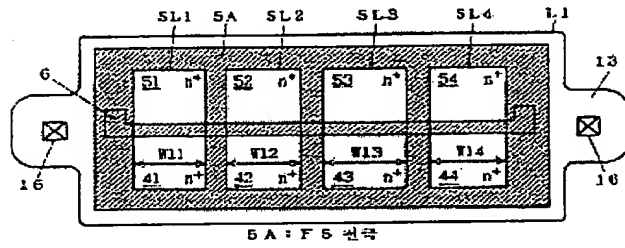
11 B : 부분 드레인 영역  
12 B : 부분 소오스 영역  
14 C, 14 D : 불대 영역



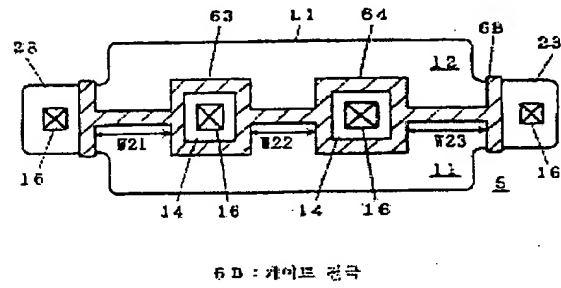
도면 17



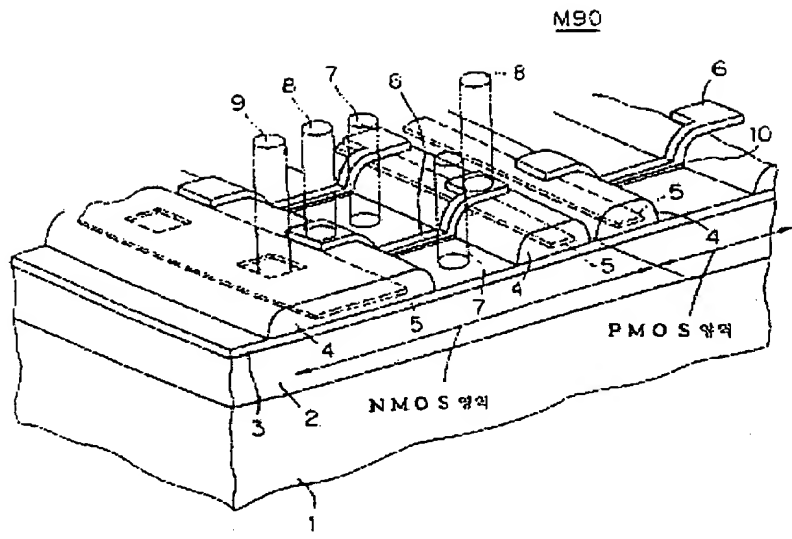
도면 18



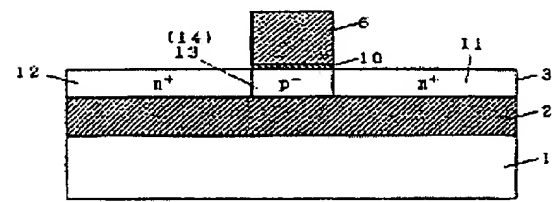
도면 19



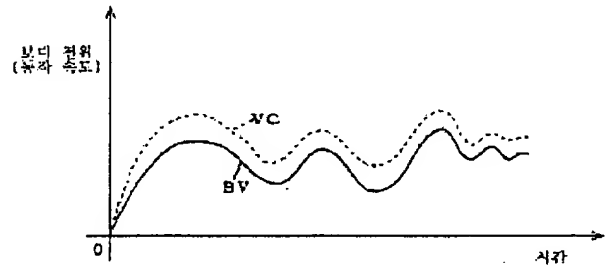
도면20



도면21



도면22





Dept.: E/M

By: GJM/SNS/KDP/rcs

OSMM&N File No. 215544US2

Serial No. 09/986,004

In the matter of the Application of: Takuji MATSUMOTO, et al.

For: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE  
SAME

Due Date: April 19, 2004

The following has been received in the U.S. Patent Office on the date stamped hereon:

- Dep. Acct. Order Form
- PTO-1449
- Information Disclosure Statement
- CHINESE Office Action
- Cited References (1)
- Credit Card Form for \$180.00



I:\ATTY\KDP\21'S\215544US\215544US FILING RECEIPT 4.14.04.DOC

Docket No. 215544US2

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takuji MATSUMOTO, et al.

SERIAL NO: 09/986,004

GAU: 2826

FILED: November 7, 2001

EXAMINER: Sefer, Ahmed N

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

INFORMATION DISCLOSURE STATEMENT UNDER 37 CFR 1.97

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

Applicant(s) wish to disclose the following information.

REFERENCES

- ☒ The applicant(s) wish to make of record the reference listed on the attached Chinese Office Action dated March 5, 2004, and on the attached form PTO-1449. A copy of the listed reference is attached.
- ☒ A check or credit card payment form is attached in the amount required under 37 CFR §1.17(p).

RELATED CASES

- ☐ Attached is a list of applicant's pending application(s) or issued patent(s) which may be related to the present application. A copy of the patent(s), together with a copy of the claims and drawings of the pending application(s) is attached along with PTO 1449.
- ☐ A check or credit card payment form is attached in the amount required under 37 CFR §1.17(p).

CERTIFICATION

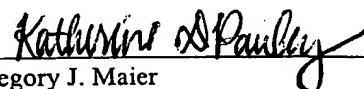
- ☒ Each item of information contained in this information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this statement.
- ☐ No item of information contained in this information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application or, to the knowledge of the undersigned, having made reasonable inquiry, was known to any individual designated in 37 CFR §1.56(c) more than three months prior to the filing of this statement.

DEPOSIT ACCOUNT

- ☒ Please charge any additional fees for the papers being filed herewith and for which no check or credit card payment is enclosed herewith, or credit any overpayment to deposit account number 15-0030. A duplicate copy of this sheet is enclosed.

Respectfully submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Gregory J. Maier  
Registration No. 25,599

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

I:\ATTY\KDP\21'S\215544US\215544US IDS TRANS LTR.DOC

Surinder Sachar  
Registration No. 34,423


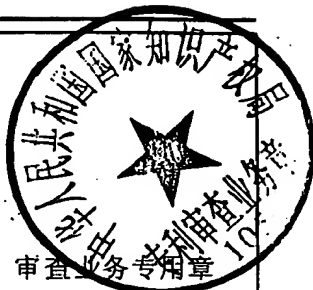
Katherine D. Pauley  
Registration No. 50,607


Form PTO 1449 (Modified)		U.S. DEPARTMENT OF COMMERCE PATENT AND TRADEMARK OFFICE		ATTY DOCKET NO. <b>215544US2</b>		SERIAL NO. <b>09/986,004</b>	
LIST OF REFERENCES CITED BY APPLICANT				APPLICANT <b>Takuji MATSUMOTO, et al.</b>			
				FILING DATE <b>November 7, 2001</b>		GROUP <b>2826</b>	
<b>U.S. PATENT DOCUMENTS</b>							
EXAMINER INITIAL		DOCUMENT NUMBER	DATE	NAME	CLASS	SUB CLASS	FILING DATE IF APPROPRIATE
	AA	5,767,549	06/16/98	Chen et al.			
	AB						
	AC						
	AD						
	AE						
	AF						
	AG						
	AH						
	AI						
	AJ						
	AK						
	AL						
	AM						
	AN						
<b>FOREIGN PATENT DOCUMENTS</b>							
		DOCUMENT NUMBER	DATE	COUNTRY	TRANSLATION YES NO		
	AO						
	AP						
	AQ						
	AR						
	AS						
	AT						
	AU						
	AV						
<b>OTHER REFERENCES (Including Author, Title, Date, Pertinent Pages, etc.)</b>							
	AW						
	AX						
	AY						
	AZ					<input type="checkbox"/> Additional References sheet(s) attached	
Examiner    Sefer, Ahmed N					Date Considered		

\*Examiner: Initial if reference is considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.



# 中华人民共和国国家知识产权局

邮政编码: 香港湾仔港湾道 23 号鹰君中心 22 字楼  中国专利代理 (香港) 有限公司 刘宗杰                  叶恺东		 审查员签章	 审查业务专用章
申请号	01143820.7	部门及通知书类型	9 -C
申请人	三菱电机株式会社		
发明名称	半导体装置及其制造方法		



## 第二次审查意见通知书

0153921 梁

1. ☒ 审查员已收到申请人针对专利局发出的第 一 次审查意见通知书于 2004 年 1 月 29 日提交的意见陈述书, 在此基础上审查员对上述专利申请继续进行实质审查。  
☐ 根据国家知识产权局复审委员会于        年        月        日作出的复审决定, 审查员对上述专利申请继续实质审查。
2. 继续审查是针对下述申请文件进行的:
  - ☐ 上述意见陈述书中所附的经修改的申请文件。
  - ☒ 前次审查意见通知书所针对的申请文件以及上述意见陈述书中所附的经修改的申请文件替换页。
  - ☐ 前次审查意见通知书所针对的申请文件。
  - ☐ 上述复审决定所确定的申请文件。
3. ☐ 本通知书未引用新的对比文件。  
☒ 本通知书引用下述对比文献(其编号续前, 并在今后的审查过程中继续沿用):

编号	文 件 号 或 名 称	公开日期
3	US5767549A	1998 年 6 月 16 日
		年    月    日
		年    月    日
		年    月    日

### 4. 审查的结论性意见:

- ☐ 关于说明书:
- ☐ 申请的内容属于专利法第 5 条规定的不授予专利权的范围。
  - ☐ 说明书不符合专利法第 26 条第 3 款的规定。
  - ☐ 说明书的修改不符合专利法第 33 条的规定。
  - ☐ 说明书的撰写不符合实施细则第 18 条的规定。
  - ☐

20 MAY 2004

FILED 4-19-04

☒关于权利要求书:

- ☐权利要求 \_\_\_\_\_ 不具备专利法第 22 条第 2 款规定的新颖性。
- ☐权利要求 \_\_\_\_\_ 不具备专利法第 22 条第 3 款规定的创造性。
- ☐权利要求 \_\_\_\_\_ 不具备专利法第 22 条第 4 款规定的实用性。
- ☐权利要求 \_\_\_\_\_ 属于专利法第 25 条规定的不予授予专利权的范围。
- ☐权利要求 \_\_\_\_\_ 不符合专利法第 26 条第 4 款的规定。
- ☒权利要求 1、12 不符合专利法第 31 条第 1 款的规定。
- ☐权利要求 \_\_\_\_\_ 的修改不符合专利法第 33 条的规定。
- ☐权利要求 \_\_\_\_\_ 不符合实施细则第 2 条第 1 款关于发明的定义。
- ☐权利要求 \_\_\_\_\_ 不符合专利法实施细则第 13 条第 1 款的规定。
- ☒权利要求 2、7 不符合专利法实施细则第 20 条至第 23 条的规定。
- ☐

上述结论性意见的具体分析见本通知书的正文部分。

5. 基于上述结论性意见, 审查员认为:

- ☒申请人应按照通知书正文部分提出的要求, 对申请文件进行修改。
- ☐申请人应在意见陈述书中论述其专利申请可以被授予专利权的理由, 并对通知书正文部分中指出的不符合规定之处进行修改, 否则将不能授予专利权。
- ☐专利申请中没有可以被授予专利权的实质性内容, 如果申请人没有陈述理由或者陈述理由不充分, 其申请将被驳回。
- ☐

6. 申请人应注意下述事项:

- (1) 根据专利法第 37 条的规定, 申请人应在收到本通知书之日起的贰个月内陈述意见, 如果申请人无正当理由逾期不答复, 其申请将被视为撤回。
- (2) 申请人对其申请的修改应符合专利法第 33 条和实施细则第 51 条的规定, 修改文本应一式两份, 其格式应符合审查指南的有关规定。
- (3) 申请人的意见陈述书和/或修改文本应邮寄或递交国家知识产权局专利局受理处, 凡未邮寄或递交给受理处的文件不具备法律效力。
- (4) 未经预约, 申请人和/或代理人不得前来国家知识产权局专利局与审查员举行会晤。

7. 本通知书正文部分共有 1 页, 并附有下列附件:

- ☒引用的对比文件的复印件共 1 份 18 页。 ☐

## 第二次审查意见通知书正文

1 申请人于 2004 年 1 月 29 日提交了意见陈述书和经过修改的申请文件，审查员在阅读了上述文件后，对本案继续进行审查，再次提出如下审查意见：

2 权利要求 1 与权利要求 12 相对于对比文件 3（全文）不具备相同或相应的特定技术特征，不具备单一性，不符合专利法第三十一条第一款的规定。

3 权利要求 2 中的“与上述栅长方向相反的栅宽方向上”造成不清，不符合专利法实施细则第二十条第一款有关的规定。

4 权利要求 7 中的“第 1 导电型的元件形成区体外区、部分绝缘膜下半导体区具有第 2 导电型”与说明书中记载的不一致，造成不清，不符合专利法实施细则第二十条第一款有关的规定。

5 应对说明书的发明内容部分做适应性修改。

6 基于上述理由，申请人应当重新提交修改文件，克服所存在的缺陷。对申请文件的修改应当符合专利法第三十三条的规定，不得超出原说明书和权利要求书记载的范围。如果申请人在指定的期限内未能有克服上述缺陷，本申请将被驳回。